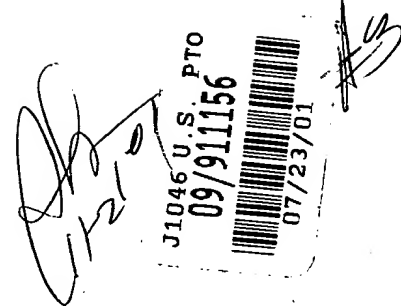


日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月27日

出 願 番 号

Application Number:

特願2000-226709

出 願 人

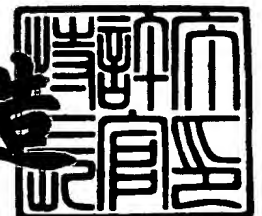
Applicant(s):

株式会社半導体エネルギー研究所

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3044320

【書類名】 特許願

【整理番号】 P005101

【提出日】 平成12年 7月27日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】定電流時間階調表示装置

【特許請求の範囲】

【請求項 1】

基板上に複数の画素と複数の電源供給線とを有し、
前記複数の画素は、E L 素子とトランジスタとを有し、
前記トランジスタのソース領域とドレイン領域は、一方は前記 E L 素子の陽極または陰極と、もう一方は前記複数の電源供給線の 1 つと接続した表示装置において、
前記トランジスタは、オン状態、オフ状態の 2 つの状態を有し、
前記オン状態においては飽和領域で動作し、且つ一定の電流を前記 E L 素子に流すことを特徴とする表示装置。

【請求項 2】

基板上に複数の画素と複数の電源供給線とを有し、
前記複数の画素は、E L 素子とトランジスタとを有し、
前記トランジスタのソース領域とドレイン領域は、一方は前記 E L 素子の陽極または陰極と、もう一方は前記抵抗を介して前記複数の電源供給線の 1 つと接続した表示装置において、
前記トランジスタは、オン状態、オフ状態の 2 つの状態を有し、
前記オン状態においては飽和領域で動作し、且つ一定の電流を前記 E L 素子に流すことを特徴とする表示装置。

【請求項 3】

絶縁基板上に、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素と、前記複数のソース信号線に信号を入力するためのソース信号線駆動回路と、前記複数のゲート信号線に信号を入力するためのゲート信号線駆動回路とを有し、
前記複数の画素は、それぞれ E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T とを有し、
前記スイッチング用 T F T のゲート電極は、前記複数のゲート信号線の 1 つと

接続され、

前記スイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線の 1 つと、もう一方は前記 E L 駆動用 T F T のゲート電極とそれぞれ接続され、

前記 E L 駆動用 T F T のソース領域とドレイン領域とは、一方は、前記複数の電源供給線の一つと、もう一方は、前記 E L 素子が有する陽極または陰極と接続した表示装置において、

前記 E L 駆動用 T F T は、オン状態、オフ状態の 2 つの状態を有し、

前記オン状態においては飽和領域で動作し、且つ一定の電流を前記 E L 素子に流すことを特徴とする表示装置。

【請求項 4】

絶縁基板上に、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素と、前記複数のソース信号線に信号を入力するためのソース信号線駆動回路と、前記複数のゲート信号線に信号を入力するためのゲート信号線駆動回路とを有し、

前記複数の画素は、それぞれ E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、抵抗とを有し、

前記スイッチング用 T F T のゲート電極は、前記複数のゲート信号線の 1 つと接続され、

前記スイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線の 1 つと、もう一方は前記 E L 駆動用 T F T のゲート電極とそれぞれ接続され、

前記 E L 駆動用 T F T のソース領域とドレイン領域とは、一方は前記抵抗を介して前記複数の電源供給線の一つと、もう一方は前記 E L 素子が有する陽極または陰極と接続した表示装置において、

前記 E L 駆動用 T F T は、オン状態、オフ状態の 2 つの状態を有し、

前記オン状態においては飽和領域で動作し、且つ一定の電流を前記 E L 素子に流すことを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、

1 フレーム期間中に前記 E L 素子が発光する期間を、デジタルデータ信号を用い制御することによって階調を表現することを特徴とする表示装置。

【請求項 6】

請求項 5 において、

前記 1 フレーム期間は、 n 個のサブフレーム期間 $S F_1$ 、 $S F_2$ 、 \dots 、 $S F_n$ とからなり、

前記 n 個のサブフレーム期間 $S F_1$ 、 $S F_2$ 、 \dots 、 $S F_n$ は、書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と表示期間 $T s_1$ 、 $T s_2$ 、 \dots 、 $T s_n$ とをそれぞれ有し、

前記書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ においてデジタルデータ信号が前記複数の画素の全てに入力され、

前記デジタルデータ信号によって、前記書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ において前記複数の E L 素子が発光するか発光しないかが選択され、

前記書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ の長さは全て同じであり、

前記表示期間 $T s_1$ 、 $T s_2$ 、 \dots 、 $T s_n$ の長さの比は、 $2^0 : 2^{-1} : \dots : 2^{-(n-1)}$ で表されることを特徴とする表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、

前記 E L 素子は、単色発光する E L 層を用い、色変換層と組み合わせて、カラー表示を可能にすることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか 1 項において、

前記 E L 素子は、白色発光する E L 層を用い、カラーフィルタと組み合わせて、カラー表示を可能にすることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、

前記 E L 素子の E L 層は、低分子系有機物質またはポリマー系有機物質であることを特徴とする表示装置。

【請求項 10】

請求項 9 において、

前記低分子系有機物質は、 Alq_3 （トリス－8－キノリライト－アルミニウム）またはTPD（トリフェニルアミン誘導体）からなることを特徴とする表示装置。

【請求項 1 1】

請求項 9 において、

前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする表示装置。

【請求項 1 2】

請求項 1 乃至請求項 8 のいずれか 1 項において、

前記EL素子のEL層は、無機物質であることを特徴とする表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の前記表示装置を用いることを特徴とするビデオカメラ。

【請求項 1 4】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする画像再生装置。

【請求項 1 5】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の前記表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項 1 6】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする携帯電話。

【請求項 1 7】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする携帯情報端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はE L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子表示装置に関する。特に半導体素子（半導体薄膜を用いた素子）を用いたE L表示装置に関する。またE L表示装置を表示部に用いた電子機器に関する。

【0 0 0 2】

【従来の技術】

近年、自発光型素子としてE L素子を有したE L表示装置の開発が活発化している。E L表示装置は有機E Lディスプレイ（O E L D : Organic EL Display）又は有機ライトエミッティングダイオード（O L E D : Organic Light Emitting Diode）とも呼ばれている。

【0 0 0 3】

E L表示装置は、液晶表示装置と異なり自発光型である。E L素子是一对の電極（陽極と陰極）間にE L層が挟まれた構造となっているが、E L層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているE L表示装置は殆どこの構造を採用している。

【0 0 0 4】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0 0 0 5】

本明細書において陰極と陽極の間に設けられる全ての層を総称してE L層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L層に含まれる。

【0 0 0 6】

そして、上記構造でなるE L層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において

E L 素子が発光することを、E L 素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L 層及び陰極で形成される発光素子をE L 素子と呼ぶ。

【0007】

E L 表示装置の駆動方法として、アクティブマトリクス型E L 表示装置が挙げられる。

【0008】

図3に、アクティブマトリクス型E L 表示装置の画素部の構成の例を示す。ゲート信号線駆動回路から選択信号を入力するゲート信号線（G1～Gy）は、各画素が有するスイッチング用TFT301のゲート電極に接続されている。また、各画素が有するスイッチング用TFT301のソース領域とドレイン領域は、一方がソース信号線駆動回路から信号を入力するソース信号線（S1～Sx）に、他方がE L 駆動用TFT302のゲート電極及び各画素が有するコンデンサ303の一方の電極に接続されている。コンデンサ303のもう一方の電極は、電源供給線（V1～Vx）に接続されている。各画素の有するE L 駆動用TFT302のソース領域とドレイン領域の一方は、電源供給線（V1～Vx）に、他方は、各画素が有するE L 素子304に接続されている。

【0009】

E L 素子304は、陽極と、陰極と、陽極と陰極の間に設けられたE L 層とを有する。E L 素子304の陽極がE L 駆動用TFT302のソース領域またはドレイン領域と接続している場合、E L 素子304の陽極が画素電極、陰極が対向電極となる。逆に、E L 素子304の陰極がE L 駆動用TFT302のソース領域またはドレイン領域と接続している場合、E L 素子304の陰極が画素電極、陽極が対向電極となる。

【0010】

なお、本明細書において、対向電極の電位を対向電位という。なお、対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がE L 駆動電圧であり、このE L 駆動電圧がE L 層に印可される。

【0011】

上記E L 表示装置の階調表示方法として、アナログ階調方式と、時間階調方式

が挙げられる。

【 0 0 1 2 】

まず、E L 表示装置のアナログ階調方式について説明する。図 3 で示した表示装置をアナログ階調方式で駆動した場合のタイミングチャートを図 4 に示す。1 つのゲート信号線が選択されてから、その次のゲート信号線が選択されるまでの期間を 1 ライン期間 (L) と呼ぶ。また、1 つの画像が選択されてから、次の画像が選択されるまでの期間が、1 フレーム期間に相当する。図 3 の E L 表示装置の場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 (L 1 ~ L y) が設けられている。

【 0 0 1 3 】

解像度が高くなるにつれ、1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【 0 0 1 4 】

まず、電源供給線 (V 1 ~ V x) は、一定の電位に保たれている。また、対向電位も一定に保たれている。対向電位は、E L 素子が発光する程度に電源電位との間に電位差を有している。

【 0 0 1 5 】

第 1 のライン期間 (L 1) においてゲート信号線 G 1 にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線 (S 1 ~ S x) に順にアナログのビデオ信号が入力される。ゲート信号線 G 1 に接続された全てのスイッチング用 T F T 3 0 1 はオンの状態になるので、ソース信号線 (S 1 ~ S x) に入力されたアナログのビデオ信号は、スイッチング用 T F T 3 0 1 を介して E L 駆動用 T F T 3 0 2 のゲート電極に入力される。

【 0 0 1 6 】

スイッチング用 T F T 3 0 1 がオンとなって画素内に入力されたアナログのビデオ信号は E L 駆動用 T F T 3 0 2 のゲート電圧となる。このとき E L 駆動用 T F T 3 0 2 の I d - V g 特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、E L 駆動用 T F T 3 0 2 のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位 (オンの E L 駆動電位) が定

まり、所定のドレイン電流がEL素子に流れ、その電流量に対応した発光量で前記EL素子が発光する。

【0017】

上述した動作を繰り返し、ソース信号線（S1～Sx）へのアナログのビデオ信号の入力が終了すると、第1のライン期間（L1）が終了する。なお、ソース信号線（S1～Sx）へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間（L2）となりゲート信号線G2に選択信号が入力される。そして第1のライン期間（L1）と同様にソース信号線（S1～Sx）に順にアナログのビデオ信号が入力される。

【0018】

そして全てのゲート信号線（G1～Gy）に選択信号が入力されると、全てのライン期間（L1～Ly）が終了する。全てのライン期間（L1～Ly）が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間（L1～Ly）と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0019】

以上のように、アナログのビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。このように、アナログ階調方式では、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【0020】

次に、時間階調方式について説明する。ここでは 2^n 階調表示について説明する。図3で示した表示装置を、この時間階調方式で駆動した場合のタイミングチャートを図5に示す。まず、1フレーム期間をn個のサブフレーム期間（SF₁～SF_n）に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間（F）と呼ぶ。また、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0021】

1つのサブフレーム期間は書き込み期間（ T_a ）と表示期間（ T_s ）とに分けられる。書き込み期間とは、1サブフレーム期間中、全面素にデジタルデータ信号を入力する期間であり、表示期間（点灯期間とも呼ぶ）とは、EL素子の発光または非発光状態を選択し表示を行う期間を示している。

【0022】

また、図5に示したEL駆動電圧は発光状態を選択されたEL素子のEL駆動電圧を表す。すなわち、発光状態を選択されたEL素子のEL駆動電圧（図5）は、書き込み期間中は0Vとなり、表示期間中はEL素子が発光する程度の大きさを有する。

【0023】

対向電位は外部スイッチ（図示せず）により制御され、対向電位は、書き込み期間において電源電位と同じ高さに保たれ、表示期間において電源電位との間にEL素子が発光する程度の電位差を有する。

【0024】

まず、それぞれのサブフレームが有する書き込み期間と表示期間について、図3と図5の記号を用いて詳しく説明し、その後、時間階調表示について説明する。

【0025】

まずゲート信号線G1にゲート信号が入力され、ゲート信号線G1に接続されている全てのスイッチング用TF T301がオンの状態になる。そしてソース信号線（ $S_1 \sim S_x$ ）に順にデジタルデータ信号が入力される。対向電位は電源供給線（ $V_1 \sim V_x$ ）の電源電位と同じ高さに保たれている。デジタルデータ信号は「0」または「1」の情報を有している。「0」と「1」のデジタルデータ信号はそれぞれHiまたはLoのいずれかの電圧を有する信号を意味する。

【0026】

そしてソース信号線（ $S_1 \sim S_x$ ）に入力されたデジタルデータ信号は、オンの状態のスイッチング用TF T301を介してEL駆動用TF T302のゲート電極に入力される。またコンデンサ303にもデジタルデータ信号が入力され保

持される。

【0027】

そして順にゲート信号線G2～Gyにゲート信号を入力することで上述した動作を繰り返し、全ての画素にデジタルデータ信号が入力され、各画素において入力されたデジタルデータ信号が保持される。全ての画素にデジタルデータ信号が入力されるまでの期間を書き込み期間と呼ぶ。

【0028】

全ての画素にデジタルデータ信号が入力されると、全てのスイッチング用TFT301はオフの状態となる。そして対向電極に接続されている外部スイッチによって、対向電位は電源電位との間にEL素子304が発光する程度の電位差を有するようになる。

【0029】

デジタルデータ信号が「0」の情報を持っていた場合、EL駆動用TFT302はオフの状態となりEL素子304は発光しない。逆に、「1」の情報を持っていた場合、EL駆動用TFT302はオンの状態となる。その結果EL素子304の画素電極は電源電位に保たれ、EL素子304は発光する。このようにデジタルデータ信号が有する情報によって、EL素子の発光または非発光状態が選択され、全ての画素が一斉に表示を行う。全ての画素が表示を行うことによって、画像が形成される。画素が表示を行う期間を表示期間と呼ぶ。

【0030】

n個のサブフレーム期間($SF_1 \sim SF_n$)がそれぞれ有する書き込み期間($T_{a1} \sim T_{an}$)の長さは全て一定である。 $SF_1 \sim SF_n$ がそれぞれ有する表示期間(T_s)をそれぞれ $T_{s1} \sim T_{sn}$ とする。

【0031】

表示期間の長さは、 $T_{s1} : T_{s2} : T_{s3} : \dots : T_{s(n-1)} : T_{sn} = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0032】

表示期間は $T_{s1} \sim T_{sn}$ までのいずれかの期間である。ここでは T_{sn} の期間

、所定の画素を点灯させたとする。

【0033】

次に、再び書き込み期間に入り、全画素にデータ信号を入力したら表示期間に入る。このときは $Ts_1 \sim Ts_{(n-1)}$ のいずれかの期間が表示期間となる。ここでは $Ts_{(n-1)}$ の期間、所定の画素を点灯させたとする。

【0034】

以下、残りの $n-2$ 個のサブフレームについて同様の動作を繰り返し、順次 $Ts_{(n-2)}$ 、 $Ts_{(n-3)} \cdots Ts_1$ と表示期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0035】

n 個のサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、画素が点灯していた表示期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 Ts_1 と Ts_2 において画素が発光した場合には75%の輝度が表現でき、 Ts_3 と Ts_5 と Ts_8 を選択した場合には16%の輝度が表現できる。

【0036】

【発明が解決しようとする課題】

従来例に示したアナログ階調方式を用いる場合の問題点を次に挙げる。

【0037】

アナログ階調方式では、TFTの特性のバラツキが、階調表示に大きく影響するという問題点がある。例えばスイッチング用TFTの I_d-V_g 特性が、同じ階調を表示する2つの画素で異なる場合（どちらかの画素の特性が、もう一方に対して全体的にプラス又はマイナス側へシフトした場合）を想定する。

【0038】

その場合、各スイッチング用TFTのドレイン電流は異なる値となり、各画素のEL駆動用TFTには異なる値のゲート電圧が印可されることになる。即ち、各EL素子に対して異なる量の電流が流れ、結果として異なる発光量となり、同じ階調表示を行うことができなくなる。

【0039】

また、仮に各画素のEL駆動用TFTに等しいゲート電圧が印可されたとしても、EL駆動用TFTの I_d-V_g 特性にバラツキがあれば、同じドレイン電流を出力することはできない。そのため、 I_d-V_g 特性が僅かでも異なれば、等しいゲート電圧がかかっても、出力される電流量は大きく異なるといった事態が生じうる。すると僅かな I_d-V_g 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまう。

【0040】

実際には、スイッチング用TFTとEL駆動用TFTとの、両者のバラツキの相乗効果となるので、さらに大きく階調表示がバラつくことになる。このように、アナログ階調表示はTFTの特性バラツキに対して極めて敏感である。そのため、このEL表示装置が、階調表示を行う場合、その表示にムラが多いことが問題となる。

【0041】

次に、時間階調方式を用いる場合の問題点を挙げる。

【0042】

時間階調方式では、EL素子の輝度は、EL素子に電流が流れている時間によって表現される。そのため、上記のアナログ階調方式において問題となった、TFTの特性バラツキによる表示ムラは、大幅に抑えられる。しかし、別の問題がある。

【0043】

EL素子に流れる電流は、EL素子に印可される電圧（EL駆動電圧）によって制御されている。このEL駆動電圧は、電源電位と対向電位の電位差から、EL駆動用TFTのドレイン・ソース間の電圧を差し引いた電圧である。EL駆動用TFTの特性のバラツキによるドレイン・ソース間電圧のバラツキの影響を避け、このEL駆動電圧を一定に保つため、EL駆動用TFTのドレイン・ソース間の電圧は、EL駆動電圧に比べて遙かに小さく設定される。すなわち、EL駆動用TFTは線形領域で動作している。

【0044】

ここで、E L素子を流れる電流は、温度によって影響を受ける。図17は、E L素子の温度特性を示すグラフである。このグラフにより、ある温度下において、E L素子の両電極間に印可された電圧に対して、E L素子を流れる電流量を知ることができる。温度 T_1 は、温度 T_2 よりも高く、温度 T_2 は温度 T_3 よりも高い。画素部のE L素子の電極間にかかる電圧が同じであっても、E L素子が有する温度特性によって、E L層の温度が高くなれば高くなるほど、E L素子を流れる電流は大きくなることがわかる。

【0045】

この様に、E L表示装置を使用する環境温度の変化により、たとえ一定の電圧を加え続けていたとしても、画素部のE L素子を流れる電流が変動し、画素部のE L素子の輝度が変化してしまい、正確な階調表示ができなくなることが問題である。

【0046】

アクティブマトリクス型E L表示装置において、従来のようなアナログ階調方式及び時間階調方式を用いる場合、上述した理由により正確な階調表示ができない。そこで本発明は、正確な階調表示の可能にし、高画質なE L表示装置を作製することを課題とする。

【0047】

【課題を解決するための手段】

本発明は、アクティブマトリクス型E L表示装置を時間階調方式によって駆動し、E L駆動用T F Tを飽和領域で動作させ、ドレイン・ソース間を流れる電流を、温度変化に対して一定に保つことを特徴とする。

【0048】

これにより、E L素子に流れる電流を、T F Tの特性のバラツキや、環境温度の変化に対して一定に保つことができ、正確な輝度表示の高画質なE L表示装置を提供することができる。

【0049】

以下に本発明の構成を示す。

【0050】

本発明によって、

基板上に複数の画素と複数の電源供給線とを有し、

前記複数の画素は、E L 素子とトランジスタとを有し、

前記トランジスタのソース領域とドレイン領域は、一方は前記E L 素子の陽極または陰極と、もう一方は前記複数の電源供給線の1つと接続した表示装置において、

前記トランジスタは、オン状態、オフ状態の2つの状態を有し、

前記オン状態においては飽和領域で動作し、且つ一定の電流を前記E L 素子に流すことを特徴とする表示装置が提供される。

【 0 0 5 1 】

本発明によって、

基板上に複数の画素と複数の電源供給線とを有し、

前記複数の画素は、E L 素子とトランジスタとを有し、

前記トランジスタのソース領域とドレイン領域は、一方は前記E L 素子の陽極または陰極と、もう一方は前記抵抗を介して前記複数の電源供給線の1つと接続した表示装置において、

前記トランジスタは、オン状態、オフ状態の2つの状態を有し、

前記オン状態においては飽和領域で動作し、且つ一定の電流を前記E L 素子に流すことを特徴とする表示装置が提供される。

【 0 0 5 2 】

本発明によって、

絶縁基板上に、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素と、前記複数のソース信号線に信号を入力するためのソース信号線駆動回路と、前記複数のゲート信号線に信号を入力するためのゲート信号線駆動回路とを有し、

前記複数の画素は、それぞれE L 素子と、スイッチング用T F T と、E L 駆動用T F T とを有し、

前記スイッチング用T F T のゲート電極は、前記複数のゲート信号線の1つと接続され、

前記スイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線の 1 つと、もう一方は前記 E L 駆動用 T F T のゲート電極とそれぞれ接続され、

前記 E L 駆動用 T F T のソース領域とドレイン領域とは、一方は、前記複数の電源供給線の一つと、もう一方は、前記 E L 素子が有する陽極または陰極と接続した表示装置において、

前記 E L 駆動用 T F T は、オン状態、オフ状態の 2 つの状態を有し、

前記オン状態においては飽和領域で動作し、且つ一定の電流を前記 E L 素子に流すことを特徴とする表示装置が提供される。

【 0 0 5 3 】

本発明によって、

絶縁基板上に、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の画素と、前記複数のソース信号線に信号を入力するためのソース信号線駆動回路と、前記複数のゲート信号線に信号を入力するためのゲート信号線駆動回路とを有し、

前記複数の画素は、それぞれ E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、抵抗とを有し、

前記スイッチング用 T F T のゲート電極は、前記複数のゲート信号線の 1 つと接続され、

前記スイッチング用 T F T のソース領域とドレイン領域とは、一方は前記複数のソース信号線の 1 つと、もう一方は前記 E L 駆動用 T F T のゲート電極とそれぞれ接続され、

前記 E L 駆動用 T F T のソース領域とドレイン領域とは、一方は前記抵抗を介して前記複数の電源供給線の一つと、もう一方は前記 E L 素子が有する陽極または陰極と接続した表示装置において、

前記 E L 駆動用 T F T は、オン状態、オフ状態の 2 つの状態を有し、

前記オン状態においては飽和領域で動作し、且つ一定の電流を前記 E L 素子に流すことを特徴とする表示装置が提供される。

【 0 0 5 4 】

本発明によって、

1 フレーム期間中に前記 EL 素子が発光する期間を、デジタルデータ信号を用い制御することによって階調を表現することを特徴とする表示装置が提供される。

【0055】

前記 1 フレーム期間は、 n 個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n とからなり、

前記 n 個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n は、書き込み期間 Ta_1 、 Ta_2 、 \dots 、 Ta_n と表示期間 Ts_1 、 Ts_2 、 \dots 、 Ts_n とをそれぞれ有し、

前記書き込み期間 Ta_1 、 Ta_2 、 \dots 、 Ta_n においてデジタルデータ信号が前記複数の画素の全てに入力され、

前記デジタルデータ信号によって、前記書き込み期間 Ta_1 、 Ta_2 、 \dots 、 Ta_n において前記複数の EL 素子が発光するか発光しないかが選択され、

前記書き込み期間 Ta_1 、 Ta_2 、 \dots 、 Ta_n の長さは全て同じであり、

前記表示期間 Ts_1 、 Ts_2 、 \dots 、 Ts_n の長さの比は、 $2^0 : 2^{-1} : \dots : 2^{-(n-1)}$ で表されることを特徴としてもよい。

【0056】

前記 EL 素子は、単色発光する EL 層を用い、色変換層と組み合わせて、カラー表示を可能にしてもよい。

【0057】

前記 EL 素子は、白色発光する EL 層を用い、カラーフィルタと組み合わせて、カラー表示を可能にしてもよい。

【0058】

前記 EL 素子の EL 層は、低分子系有機物質またはポリマー系有機物質であってもよい。

【0059】

前記低分子系有機物質は、 Alq_3 （トリス-8-キノリライト-アルミニウム）または TPD（トリフェニルアミン誘導体）からなってもよい。

【0060】

前記ポリマー系有機物質は、P P V（ポリフェニレンビニレン）、P V K（ポリビニルカルバゾール）またはポリカーボネートからなってもよい。

【 0 0 6 1 】

前記 E L 素子の E L 層は、無機物質であってもよい。

【 0 0 6 2 】

本発明は、前記表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、携帯電話、携帯情報端末であってもよい。

【 0 0 6 3 】

【発明の実施の形態】

本発明の実施の形態について図1を用いて説明する。

【 0 0 6 4 】

図 1（A）は、本発明の E L 表示装置の画素の構成を示したものである。スイッチング用 T F T 9 0 3 のゲート電極は、ゲート信号線 9 0 6 に接続されている。スイッチング用 T F T 9 0 3 のソース領域とドレイン領域とは、一方はソース信号線 9 0 5 に接続され、もう一方は E L 駆動用 T F T 9 0 0 のゲート電極及びコンデンサ 9 0 4 に接続されている。E L 駆動用 T F T 9 0 0 のソース領域とドレイン領域とは、一方は電源供給線 9 0 2 に接続されており、もう一方は E L 素子 9 0 1 の陽極もしくは陰極に接続されている。

【 0 0 6 5 】

スイッチング用 T F T 9 0 3 より E L 駆動用 T F T 9 0 0 のゲート電極に印可される電圧（ゲート電圧）を V_{GS} とする。また、電源供給線 9 0 2 より E L 駆動用 T F T 9 0 0 のドレイン・ソース間に与えられる電圧（ドレイン・ソース間電圧）を V_{DS} とし、このときドレイン・ソース間を流れる電流（ドレイン電流）を I_D とする。このドレイン電流 I_D が、E L 素子 9 0 1 に入力される。また、E L 素子 9 0 1 に印可される電圧（E L 駆動電圧）を V_{EL} とすると、電源供給線 9 0 2 から画素部に印可される電圧 V_{IN} は、ドレイン・ソース間電圧 V_{DS} と E L 駆動電圧 V_{EL} の和で与えられる。

【 0 0 6 6 】

ここで、図 1（B）に、ドレイン・ソース間電圧 V_{DS} とドレイン電流 I_D の関

係をグラフに示す。ゲート電圧 V_{GS} は一定である。このグラフにおいて、ドレイン・ソース間電圧 V_{DS} に対してドレイン電流 I_D が 1 対 1 で対応する領域を線型領域といい、ドレイン・ソース間電圧 V_{DS} がゲート電圧 V_{GS} に比べて小さな場合に相当する。また、ドレイン・ソース間電圧 V_{DS} に対して、ドレイン電流 I_D がほぼ一定の領域を飽和領域という。これは、ドレイン・ソース間電圧 V_{DS} がゲート電圧 V_{GS} に比べて大きな場合に相当する。

【 0 0 6 7 】

従来の時間階調方式による表示装置では、EL素子に印可される電圧が一定になるよう制御していた。このとき、EL駆動用TFTのドレイン・ソース間電圧 V_{DS} がTFTの特性のバラツキによりバラつくと、EL駆動電圧 V_{EL} に影響を与えてしまう。そこで、このバラツキの影響をできるだけ抑えるために、EL駆動用TFTのドレイン・ソース間電圧 V_{DS} を、EL駆動電圧 V_{EL} に対して小さく設定し、画素に入力される電圧 V_{IN} の大部分がEL素子に印可されるようにしていた。そのため、EL駆動用TFTは、ドレイン・ソース間電圧 V_{DS} がゲート電圧 V_{GS} に比べて小さな場合に相当する、線型領域で動作させていた。

【 0 0 6 8 】

本発明のEL表示装置では、EL駆動用TFT900の、ドレイン・ソース間電圧 V_{DS} をゲート電圧 V_{GS} より大きく設定し、EL駆動用TFT900をドレイン・ソース間電圧 V_{DS} に関わらず一定のドレイン電流 I_D を流す、飽和領域で動作させる。これにより、EL素子には、温度変化によらず常に一定の電流が供給されることになる。

【 0 0 6 9 】

【実施例】

以下に、本発明の実施例について説明する。

【 0 0 7 0 】

(実施例1)

発明の実施の形態で述べた、EL駆動用TFTを飽和領域で動作させEL素子に流れる電流 I_D を一定に保つ手法において、本実施例では、EL駆動用TFTの特性のバラツキの影響を抑える方法について述べる。説明には、図1(A)に

において用いた符号と同一の符号及び新しく追加した符号を用いる。

【0071】

EL駆動用TFT900を飽和領域で動作させる場合、以下に示す式1が成立する。

【0072】

【式1】

$$I_D = \alpha (W/L)(V_{GS} - V_{th})^2$$

【0073】

式1において、 I_D はドレイン電流、 V_{GS} はゲート電圧、 V_{th} はしきい値電圧、 W はゲート幅、 L はゲート長、 α は定数である。ここで、しきい値電圧 V_{th} は、バラツキを持つため、ドレイン電流 I_D がバラツキを持ってしまう。

【0074】

そこで、このバラツキを抑えるため、ゲート幅 W とゲート長 L の比 W/L と小さくし、且つゲート電圧 V_{GS} を大きくする。これにより、EL駆動用TFT900のしきい値電圧 V_{th} のバラツキによる、ドレイン電流 I_D のバラツキを抑えることができる。

【0075】

例えば、しきい値電圧 V_{th} が、 2 ± 0.1 Vの値をとり、5%のバラツキを持つとする。 W/L を8としたとき、ゲート電圧 V_{GS} を3 Vとする。このとき、ドレイン電流 I_D の値を計算すると、約20%のバラツキを持つことになる。ここで、ドレイン電流 I_D の平均値は I_0 であるとする。一方、 W/L を0.5にすると、ドレイン電流 I_D の平均値 I_0 を $W/L=8$ の場合と同じにするために、ゲート電圧 V_{GS} は約6 Vにする必要がある。ゲート電圧 V_{GS} が6 Vのとき、ドレイン電流 I_D の値を計算すると、約5%のバラツキに抑えられる。

【0076】

この様に、 W/L を1未満に、望ましくは0.5以下にするとよい。

【0077】

(実施例2)

発明の実施の形態で述べた、EL駆動用TFTを飽和領域で動作させEL素子

に流れる電流 I_D を一定に保つ手法において、本実施例では、実施例 1 とは異なった方法で、EL 駆動用 T F T の特性のバラツキの影響を抑える方法について述べる。

【0078】

図 2 に、本実施例の表示装置の画素部の構成を示す。基本的な構造は、図 1 (A) と同様であるので、変更部分に新しい符号を付して説明する。

【0079】

スイッチング用 T F T 9 0 3 のゲート電極は、ゲート信号線 9 0 6 に接続されている。スイッチング用 T F T 9 0 3 のソース領域とドレイン領域とは、一方はソース信号線 9 0 5 に接続され、もう一方は EL 駆動用 T F T 9 0 0 のゲート電極及びコンデンサ 9 0 4 に接続されている。EL 駆動用 T F T 9 0 0 のソース領域とドレイン領域とは、一方は抵抗 9 0 7 を介して電源供給線 9 0 2 に接続されており、もう一方は EL 素子 9 0 1 の陽極もしくは陰極に接続されている。

【0080】

本実施例の画素の構成の場合、実施例 1 で示した式 1 と、次に示す式 2 が同時に成立する。

【0081】

【式 2】

$$V = V_{GS} + R I_D$$

【0082】

ここで、 V は EL 駆動用 T F T 9 0 0 のゲート電極と電源供給線 9 0 2 の間に与えられる電位差である。また、 R は抵抗 9 0 7 の抵抗値である。

【0083】

式 1 と式 2 により、抵抗 9 0 7 を配した場合の、ゲート電圧 V_{GS} とドレイン電流 I_D が求められる。このとき、しきい値電圧 V_{th} のバラツキに対する、ドレイン電流 I_D のバラつきを計算する。

【0084】

例えば、式 1 及び式 2 において、 α を、 $2 \times 10^{-6} \text{ F/V} \cdot \text{s}$ とし、 W/L を 1 とし、ここで、 V_{th} は $2 \pm 0.1 \text{ V}$ の値をとり、5% のバラツキを持つとする。

【 0 0 8 5 】

はじめ、 R が0の場合（抵抗907が無い場合）を考える。 V を4Vとする。
ゲート電圧 V_{GS} は、 V と一致し4Vとなる。このときのドレイン電流のバラツキは、約10%である。このとき、ドレイン電流の平均値は、約 8×10^{-6} Aである。

【 0 0 8 6 】

次に、 R が $1 \times 10^6 \Omega$ の場合を考える。ドレイン電流の平均値を、約 8×10^{-6} Aに保つため、 V を12Vとする。このとき、しきい値電圧 V_{th} のバラツキに対するドレイン電流 I_D のバラツキは、約1%に抑えられる。

【 0 0 8 7 】

今度は、 R が $2 \times 10^6 \Omega$ の場合を考える。ドレイン電流の平均値を、約 8×10^{-6} Aに保つため、 V は20Vとする。このとき、しきい値電圧 V_{th} のバラツキに対するドレイン電流 I_D のバラツキは、約0.6%に抑えられる。

【 0 0 8 8 】

この様に、抵抗を907を配し、その抵抗値を大きくとることにより、しきい値電圧 V_{th} のバラツキに対するドレイン電流 I_D のバラツキを抑えることができる。

【 0 0 8 9 】

本実施例は、実施例1と自由に組み合わせて実施することが可能である。

【 0 0 9 0 】

（実施例3）

本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【 0 0 9 1 】

まず、図8（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン

膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm] (好ましくは 5 0 ~ 1 0 0 [nm]) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] (好ましくは 1 0 0 ~ 1 5 0 [nm]) の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 0 9 2 】

島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【 0 0 9 3 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [mJ/cm^2] (代表的には 2 0 0 ~ 3 0 0 [mJ/cm^2]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 [kHz] とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [mJ/cm^2] (代表的には 3 5 0 ~ 5 0 0 [mJ/cm^2]) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 [μm]、例えば 4 0 0 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 [%] として行う。

【 0 0 9 4 】

次いで、島状半導体層 5 0 0 3 ~ 5 0 0 6 を覆うゲート絶縁膜 5 0 0 7 を形成する。ゲート絶縁膜 5 0 0 7 はプラズマ CVD 法またはスパッタ法を用い、厚さ

を 4 0 ~ 1 5 0 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ C V D 法で T E O S (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 4 0 [Pa]、基板温度 3 0 0 ~ 4 0 0 [°C] とし、高周波 (1 3 . 5 6 [MHz])、電力密度 0 . 5 ~ 0 . 8 [W/cm²] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 4 0 0 ~ 5 0 0 [°C] の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【 0 0 9 5 】

そして、ゲート絶縁膜 5 0 0 7 上にゲート電極を形成するための第 1 の導電膜 5 0 0 8 と第 2 の導電膜 5 0 0 9 とを形成する。本実施例では、第 1 の導電膜 5 0 0 8 を T a で 5 0 ~ 1 0 0 [nm] の厚さに形成し、第 2 の導電膜 5 0 0 9 を W で 1 0 0 ~ 3 0 0 [nm] の厚さに形成する。

【 0 0 9 6 】

T a 膜はスパッタ法で、T a のターゲットを A r でスパッタすることにより形成する。この場合、A r に適量の X e や K r を加えると、T a 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相の T a 膜の抵抗率は 2 0 [$\mu \Omega$ cm] 程度でありゲート電極に使用することが出来るが、 β 相の T a 膜の抵抗率は 1 8 0 [$\mu \Omega$ cm] 程度でありゲート電極とするには不向きである。 α 相の T a 膜を形成するために、T a の α 相に近い結晶構造をもつ窒化タンタルを 1 0 ~ 5 0 [nm] 程度の厚さで T a の下地に形成しておくことと α 相の T a 膜を容易に得ることが出来る。

【 0 0 9 7 】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (W F₆) を用いる熱 C V D 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 [$\mu \Omega$ cm] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素

が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 [%] の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 [\mu \Omega \text{cm}]$ を実現することが出来る。

【0098】

なお、本実施例では、第 1 の導電膜 5008 を Ta、第 2 の導電膜 5009 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第 1 の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜 5009 を W とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜 5009 を Al とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (Ta₂N₅) で形成し、第 2 の導電膜 5009 を Cu とする組み合わせが挙げられる。

【0099】

次に、レジストによるマスク 5010 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF₄ と Cl₂ を混合し、1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 [W] の RF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印可する。CF₄ と Cl₂ を混合した場合には W 膜及び Ta 膜とも同程度にエッチングされる。

【0100】

上記エッチング条件では、レジストによるマスクの形状に適したものとする事により、基板側に印可するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$

程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50 [nm] 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50 [nm] 程度エッチングされ薄くなった領域が形成される。

（図8（B））

【0101】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を60～100 [keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層5011～5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5025には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲でn型を付与する不純物元素を添加する。（図8（B））

【0102】

次に、図8（C）に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026～5031（第1の導電層5026a～5031aと第2の導電層5026b～5031b）を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5031で覆われない領域はさらに20～50 [nm] 程度エッチングされ薄くなった領域が形成される。

【0103】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0104】

そして、図9(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図8(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン(P)の濃度は、第1の導電層5026a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパ部と重なる半導体層において、第1の導電層5026a～5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0105】

図 9 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF_3 を使い、反応性イオンエッチング法 (RIE 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 6 a ~ 5 0 3 1 a のテーパ部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 (第 1 の導電層 5 0 3 7 a ~ 5 0 4 2 a と第 2 の導電層 5 0 3 7 b ~ 5 0 4 2 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 1 0 6 】

第 3 のエッチング処理によって、第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 においては、第 1 の導電層 5 0 3 7 a ~ 5 0 4 1 a と重なる第 3 の不純物領域 5 0 3 2 a ~ 5 0 3 6 a と、第 1 の不純物領域と第 3 の不純物領域との間の第 2 の不純物領域 5 0 3 2 b ~ 5 0 3 6 b とが形成される。

【 0 1 0 7 】

そして、図 9 (C) に示すように、p チャネル型 TFT を形成する島状半導体層 5 0 0 4、5 0 0 6 に第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 4 3 ~ 5 0 5 4 を形成する。第 3 の形状の導電層 5 0 3 8 b、5 0 4 1 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT を形成する島状半導体層 5 0 0 3、5 0 0 5 および配線部 5 0 4 2 はレジストマスク 5 2 0 0 で全面を被覆しておく。不純物領域 5 0 4 3 ~ 5 0 5 4 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【 0 1 0 8 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 1 がゲート電極として機能する。また、5 0 4 2 は島状のソース信号線として機能する。

【 0 1 0 9 】

レジストマスク 5 2 0 0 を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーストアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することが出来る。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0. 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 [°C]、代表的には 5 0 0 ~ 6 0 0 [°C] で行うものであり、本実施例では 5 0 0 [°C] で 4 時間の熱処理を行う。ただし、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0 1 1 0】

さらに、3 ~ 1 0 0 [%] の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 [°C] で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0 1 1 1】

次いで、図 1 0 (A) に示すように、第 1 の層間絶縁膜 5 0 5 5 を酸化窒化シリコン膜から 1 0 0 ~ 2 0 0 [nm] の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜 5 0 5 6 を形成した後、第 1 の層間絶縁膜 5 0 5 5、第 2 の層間絶縁膜 5 0 5 6、およびゲート絶縁膜 5 0 0 7 に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5 0 5 7 ~ 5 0 6 2、5 0 6 4 をパターンニング形成した後、接続配線 5 0 6 2 に接する画素電極 5 0 6 3 をパターンニング形成する。

【0 1 1 2】

第 2 の層間絶縁膜 5 0 5 6 としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第 2 の層間絶縁膜 5 0 5 6 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では TFT に

よって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 [μm]（さらに好ましくは2～4 [μm]）とすれば良い。

【0113】

コンタクトホール形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023またはp型の不純物領域5043～5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0114】

また、配線（接続配線、信号線を含む）5057～5062、5064として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0115】

また、本実施例では、画素電極5063としてITO膜を110 [nm]の厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20 [%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極となる。（図10（A））

【0116】

次に、図10（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500 [nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0117】

次に、EL層5066および陰極（MgAg電極）5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80～2

0 0 [nm] (典型的には 1 0 0 ~ 1 2 0 [nm])、陰極 5 0 6 7 の厚さは 1 8 0 ~ 3 0 0 [nm] (典型的には 2 0 0 ~ 2 5 0 [nm]) とすれば良い。

【 0 1 1 8 】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、E L 層および陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にE L 層および陰極を形成するのが好ましい。

【 0 1 1 9 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【 0 1 2 0 】

ここではR G Bに対応した3種類のE L 素子を形成する方式を用いたが、白色発光のE L 素子とカラーフィルタを組み合わせた方式、青色または青緑発光のE L 素子と蛍光体(蛍光性の色変換層: C C M) とを組み合わせた方式、陰極(対向電極)に透明電極を利用してR G Bに対応したE L 素子を重ねる方式などを用いても良い。

【 0 1 2 1 】

なお、E L 層 5 0 6 6 としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をE L 層とすれば良い。

【 0 1 2 2 】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用T F Tを有

する画素（同じラインの画素）上に、メタルマスクを用いて陰極 5 0 6 7 を形成する。なお本実施例では陰極 5 0 6 7 として $MgAg$ を用いたが、本発明はこれに限定されない。陰極 5 0 6 7 として他の公知の材料を用いても良い。

【0123】

最後に、窒化珪素膜でなるパッシベーション膜 5 0 6 8 を 3 0 0 [nm] の厚さに形成する。パッシベーション膜 5 0 6 8 を形成しておくことで、EL 層 5 0 6 6 を水分等から保護することができ、EL 素子の信頼性をさらに高めることが出来る。

【0124】

こうして図 1 0 (B) に示すような構造の EL 表示装置が完成する。なお、本実施例における EL 表示装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料である Ta、W によってソース信号線を形成し、ドレイン・ソース電極を形成している配線材料である Al によってゲート信号線を形成しているが、異なる材料を用いても良い。

【0125】

ところで、本実施例の EL 表示装置は、画素部だけでなく駆動回路部にも最適な構造の TFT を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程において Ni 等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を 1 0 [MHz] 以上にすることが可能である。

【0126】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する TFT を、駆動回路部を形成する CMOS 回路の N チャネル型 TFT として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0127】

本実施例の場合、n チャネル型 TFT の活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップ LDD 領域 (L

$0V$ 領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域 (L_{OFF} 領域) およびチャネル形成領域を含む。

【 0 1 2 8 】

また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることにも可能である。

【 0 1 2 9 】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、 L_{OV} 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【 0 1 3 0 】

なお、実際には図10 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) や透光性のシーリング材でパッケージング (封入) することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料 (例えば酸化バリウム) を配置したりするとEL素子の信頼性が向上する。

【 0 1 3 1 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット: FPC) を取り付けて製品として完成する

。このような出荷出来る状態にまでした状態を本明細書中では表示装置という。

【0132】

また、本実施例で示す工程に従えば、表示装置の作製に必要なフォトリソの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0133】

（実施例4）

図11（A）は本願発明を用いたEL表示装置の上面図である。図11（A）において、4010は基板、4011は画素部、4012はソース信号線駆動回路、4013はゲート信号側駆動回路であり、それぞれの駆動回路は配線4014、4016を経てFPC4017に至り、外部機器へと接続される。

【0134】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0135】

また、図11（B）は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここではEL駆動用TFTだけ図示している。）が形成されている。これらのTFTは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0136】

駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部

を形成する。

【0137】

次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0138】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0139】

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0140】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接

続される。配線 4 0 1 6 は陰極 4 0 3 0 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 4 0 3 2 を介して F P C 4 0 1 7 に接続される。

【0 1 4 1】

4 0 3 1 に示された領域において陰極 4 0 3 0 と配線 4 0 1 6 とを電氣的に接続するために、層間絶縁膜 4 0 2 6 及び絶縁膜 4 0 2 8 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4 0 2 6 のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜 4 0 2 8 のエッチング時（E L 層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜 4 0 2 8 をエッチングする際に、層間絶縁膜 4 0 2 6 まで一括でエッチングしても良い。この場合、層間絶縁膜 4 0 2 6 と絶縁膜 4 0 2 8 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0 1 4 2】

このようにして形成された E L 素子の表面を覆って、パッシベーション膜 6 0 0 3、充填材 6 0 0 4、カバー材 6 0 0 0 が形成される。

【0 1 4 3】

さらに、E L 素子部を囲むようにして、カバー材 6 0 0 0 と基板 4 0 1 0 の間にシーリング材 7 0 0 0 が設けられ、さらにシーリング材 7 0 0 0 の外側には密封材（第 2 のシーリング材）7 0 0 1 が形成される。

【0 1 4 4】

このとき、この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、P V C（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、P V B（ポリビニルブチラル）または E V A（エチレンビニルアセテート）を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0 1 4 5】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを B a O などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0 1 4 6】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜6003とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0147】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0148】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0149】

また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電氣的に接続される。

【0150】

なお図11では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2}Torr 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0151】

(実施例 5)

次に、図 1 1 (A)、(B)とは異なる形態の E L 表示装置を作製した例について、図 1 2 (A)、(B)を用いて説明する。図 1 1 (A)、(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

【0 1 5 2】

図 1 2 (A) は本実施例の E L 表示装置の上面図であり、図 1 2 (A) を A-A' で切断した断面図を図 1 2 (B) に示す。

【0 1 5 3】

図 1 1 に従って、E L 素子の表面を覆ってパッシベーション膜 6 0 0 3 までを形成する。

【0.1 5 4】

さらに、E L 素子を覆うようにして充填材 6 0 0 4 を設ける。この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0 1 5 5】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを B a O などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0 1 5 6】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0 1 5 7】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、FRP (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエス

テルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0158】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0159】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤として機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0160】

また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。

【0161】

なお図12では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2}Torr 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0162】

(実施例 6)

ここで E L 表示装置における画素部のさらに詳細な断面構造を図 1 3 に示す。図 1 3 において、基板 4 5 0 1 上に設けられたスイッチング用 T F T 4 5 0 2 は公知の方法を用いて形成された n チャネル型 T F T を用いる。本実施例ではダブルゲート構造としている。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成された p チャネル型 T F T を用いても構わない。

【0 1 6 3】

また、E L 駆動用 T F T 4 5 0 3 は公知の方法を用いて形成された n チャネル型 T F T を用いる。E L 駆動用 T F T のゲート電極 3 7 は配線 3 6 によって、スイッチング用 T F T 4 5 0 2 のドレイン配線 3 5 に電氣的に接続されている。

【0 1 6 4】

E L 駆動用 T F T は E L 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、E L 駆動用 T F T 4 5 0 3 のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように L D D 領域を設ける本発明の構造は極めて有効である。

【0 1 6 5】

また、本実施例では E L 駆動用 T F T 4 5 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列につなげたマルチゲート構造としても良い。さらに、複数の T F T を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0 1 6 6】

また、本実施例では、トップゲート型の T F T を用いているが、ボトムゲート型の T F T を用いても構わない。

【0167】

また、ソース配線40は電源供給線（図示せず）に接続され、常に一定の電圧が加えられている。

【0168】

スイッチング用TFT4502、EL駆動用TFT4503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0169】

また、43は反射性の高い導電膜でなる画素電極（この場合EL素子の陰極）であり、EL駆動用TFT4503のドレイン配線33に電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0170】

また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0171】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. S henk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【 0 1 7 2 】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【 0 1 7 3 】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【 0 1 7 4 】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【 0 1 7 5 】

本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【 0 1 7 6 】

陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。画素電極43は画素の面積にほぼ一致させているため、画素全体がEL素子として機能する。従って、発光の利用効

率が非常に高く、明るい画像表示が可能となる。

【 0 1 7 7 】

また本実施例では、陽極 4 7 の上にさらに第 2 パッシベーション膜 4 8 を設けている。第 2 パッシベーション膜 4 8 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

【 0 1 7 8 】

以上のように本発明の E L 表示装置は図 1 3 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い E L 駆動用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示装置が得られる。

【 0 1 7 9 】

(実施例 7)

本実施例では、実施例 6 に示した画素部において、E L 素子 4 5 0 5 の構造を反転させた構造について説明する。説明には図 1 4 を用いる。なお、図 1 3 の構造と異なる点は E L 素子の部分と E L 駆動用 T F T だけであるので、その他の説明は省略することとする。

【 0 1 8 0 】

図 1 4 において、E L 駆動用 T F T 4 5 0 3 は公知の方法を用いて形成された p チャネル型 T F T を用いる。

【 0 1 8 1 】

本実施例では、画素電極（陽極）5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【 0 1 8 2 】

そして、絶縁膜でなるバンク 5 1 a、5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 5 2 が形成される。その上にはカリウムアセチルアセトネート（a c a c K と表記される）でなる電子注入層 5 3、アルミニ

ウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 4 7 0 1 が形成される。

【 0 1 8 3 】

本実施例の場合、発光層 5 2 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。

【 0 1 8 4 】

(実施例 8)

本実施例では、ソース信号線駆動回路の構成について説明する。

【 0 1 8 5 】

図 6 に、ソース信号線駆動回路の回路図を示す。シフトレジスタ 8 8 0 1、ラッチ (A) (8 8 0 2)、ラッチ (B) (8 8 0 3)、が図に示すように配置されている。本実施例では、1組のラッチ (A) (8 8 0 2) と 1組のラッチ (B) (8 8 0 3) が、4本のソース信号線 S__a ~ S__d に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【 0 1 8 6 】

クロック信号 C L K、C L K の極性が反転したクロック信号 C L K B、スタートパルス信号 S P、駆動方向切り替え信号 S L / R はそれぞれ図に示した配線からシフトレジスタ 8 8 0 1 に入力される。また外部から入力されるデジタルデータ信号 V D は 4 分割され、図に示した配線からラッチ (A) (8 8 0 2) に入力される。ラッチ信号 S__L A T、S__L A T の極性が反転した信号 S__L A T b はそれぞれ図に示した配線からラッチ (B) (8 8 0 3) に入力される。

【 0 1 8 7 】

シフトレジスタ 8 8 0 1 からの信号が入力されると、4 分割されたデジタルデータ信号より、ラッチ (A) (8 8 0 2) は 4 つの信号を同時に得る。これらの信号をラッチ (B) (8 8 0 3) が保持し、ラッチ信号 S__L A T 及び S__L A T b によりソース信号線 S__a ~ S__d に出力される。

【 0 1 8 8 】

本実施例では、4 分割されたビデオ信号を用い、4 本のソース信号線に対応す

る信号を同時にサンプリングする手法について述べたが、一般に、 n 分割されたデジタルデータ信号を用い、 n 本のソース信号線に対応する信号を同時にサンプリングしても良い。

【0189】

ラッチ (A) (8802) の詳しい構成について、ソース信号線 S_a に対応するラッチ (A) (8802) の一部 8804 を例にとって説明する。ラッチ (A) (8802) の一部 8804 は 2 つのクロックドインバータと 2 つのインバータを有している。

【0190】

ラッチ (A) (8802) の一部 8804 の上面図を図 7 に示す。831a、831b はそれぞれ、ラッチ (A) (8802) の一部 8804 が有するインバータの 1 つを形成する TFT の活性層であり、836 は該インバータの 1 つを形成する TFT の共通のゲート電極である。また 832a、832b はそれぞれ、ラッチ (A) (8802) の一部 8804 が有するもう 1 つのインバータを形成する TFT の活性層であり、837a、837b は活性層 832a、832b 上にそれぞれ設けられたゲート電極である。なおゲート電極 837a、837b は電氣的に接続されている。

【0191】

833a、833b はそれぞれ、ラッチ (A) (8802) の一部 8804 が有するクロックドインバータの 1 つを形成する TFT の活性層である。活性層 833a 上にはゲート電極 838a、838b が設けられており、ダブルゲート構造となっている。また活性層 833b 上にはゲート電極 838b、839 が設けられており、ダブルゲート構造となっている。

【0192】

834a、834b はそれぞれ、ラッチ (A) (8802) の一部 8804 が有するもう 1 つのクロックドインバータを形成する TFT の活性層である。活性層 834a 上にはゲート電極 839、840 が設けられており、ダブルゲート構造となっている。また活性層 834b 上にはゲート電極 840、841 が設けられており、ダブルゲート構造となっている。

【0193】

(実施例9)

本実施例では、本願発明を用いてEL表示装置を作製した例について図15 (A)、(B)を用いて説明する。図15 (A)は、EL素子の形成されたアクティブマトリクス基板において、EL素子の封入まで行った状態を示す上面図である。点線で示された6801はソース信号線駆動回路、6802はゲート信号線駆動回路、6803は画素部である。また、6804はカバー材、6805は第1シール材、6806は第2シール材であり、第1シール材6805で囲まれた内側のカバー材とアクティブマトリクス基板との間には充填材6807 (図15 (B) 参照) が設けられる。

【0194】

なお、6808はソース信号線駆動回路801、ゲート信号線駆動回路6802及び画素部6803に入力される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC (フレキシブルプリントサーキット) 6809からビデオ信号やクロック信号を受け取る。

【0195】

ここで、図15 (A) をA-A' で切断した断面に相当する断面図を図15 (B) に示す。なお、図15 (A)、(B) では同一の部位に同一の符号を用いている。

【0196】

図15 (B) に示すように、基板6800上には画素部6803、ソース側駆動回路6801が形成されており、画素部6803はEL素子に流れる電流を制御するためのTFT6851 (以下、EL駆動用TFTという) 及びそのドレイン領域に電氣的に接続された画素電極6852等を含む複数の画素により形成される。本実施例ではEL駆動用TFT6851をpチャネル型TFTとする。また、ソース信号線駆動回路6801はnチャネル型TFT6853とpチャネル型TFT6854とを相補的に組み合わせたCMOS回路を用いて形成される。

【0197】

各画素は画素電極の下にカラーフィルタ (R) 6855、カラーフィルタ (G

） 6 8 5 6 及びカラーフィルタ（B）（図示せず）を有している。ここでカラーフィルタ（R）とは赤色光を抽出するカラーフィルタであり、カラーフィルタ（G）は緑色光を抽出するカラーフィルタ、カラーフィルタ（B）は青色光を抽出するカラーフィルタである。なお、カラーフィルタ（R） 6 8 5 5 は赤色発光の画素に、カラーフィルタ（G） 6 8 5 6 は緑色発光の画素に、カラーフィルタ（B）は青色発光の画素に設けられる。

【 0 1 9 8 】

これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からは E L 素子から赤色光が放射される（本実施例では画素電極側に向かって放射される）が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

【 0 1 9 9 】

また、従来のカラーフィルタを用いない構造では E L 表示装置の外部から侵入した可視光が E L 素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることで E L 素子には特定の波長の光しか入らないようになる。即ち、外部からの光により E L 素子が励起されてしまうような不具合を防ぐことが可能である。

【 0 2 0 0 】

なお、カラーフィルタを設ける構造は従来提案されているが、E L 素子は白色発光のものを用いていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えば E L 素子から発した赤色光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

【 0 2 0 1 】

次に、画素電極 6 8 5 2 は透明導電膜で形成され、E L 素子の陽極として機能する。また、画素電極 6 8 5 2 の両端には絶縁膜 6 8 5 7 が形成され、さらに赤色に発光する発光層 6 8 5 8、緑色に発光する発光層 6 8 5 9 が形成される。なお、図示しないが隣接する画素には青色に発光する発光層が設けられ、赤、緑及

び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

【0202】

なお、EL材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【0203】

また、各発光層の上にはEL素子の陰極6860が遮光性を有する導電膜でもって形成される。この陰極6860は全ての画素に共通であり、接続配線6808を経由してFPC6809に電氣的に接続されている。

【0204】

次に、第1シール材6805をディスペンサー等で形成し、スペーサ（図示せず）を撒布してカバー材6804を貼り合わせる。そして、アクティブマトリクス基板、カバー材6804及び第1シール材6805で囲まれた領域内に充填材6807を真空注入法により充填する。

【0205】

また、本実施例では充填材6807に予め吸湿性物質6861として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

【0206】

次に、充填材6807を紫外線照射または加熱により硬化させた後、第1シール材6805に形成された開口部（図示せず）を塞ぐ。第1シール材6805の開口部を塞いだら、導電性材料6862を用いて接続配線6808及びFPC6809を電氣的に接続させる。さらに、第1シール材6805の露呈部及びFPC6809の一部を覆うように第2シール材6806を設ける。第2シール材6806は第1シール材6807と同様の材料を用いれば良い。

【0207】

以上のような方式を用いてEL素子を充填材6807に封入することにより、

E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 表示装置を作製することができる。

【 0 2 0 8 】

(実施例 1 0)

本実施例では、実施例 9 に示した E L 表示装置において、E L 素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図 1 6 を用いるが、基本的な構造は図 1 5 (B) と同様であるので変更部分に新しい符号を付して説明する。

【 0 2 0 9 】

画素部 6 9 0 1 は E L 素子に流れる電流を制御するための T F T 6 9 0 2 (以下、E L 駆動用 T F T という) 及びそのドレイン領域に電氣的に接続された画素電極 6 9 0 3 等を含む複数の画素により形成される

【 0 2 1 0 】

本実施例では画素部 6 9 0 1 には E L 駆動用 T F T 6 9 0 2 として n チャネル型 T F T が用いられている。また、E L 駆動用 T F T 6 9 0 2 のドレインには画素電極 6 9 0 3 が電氣的に接続され、この画素電極 6 9 0 3 は遮光性を有する導電膜で形成されている。本実施例では画素電極 6 9 0 3 が E L 素子の陰極となる。

【 0 2 1 1 】

また、赤色に発光する発光層 6 8 5 8、緑色に発光する発光層 6 8 5 9 の上には各画素に共通な透明導電膜 6 9 0 4 が形成される。この透明導電膜 6 9 0 4 は E L 素子の陽極となる。

【 0 2 1 2 】

さらに、本実施例ではカラーフィルタ (R) 6 9 0 5、カラーフィルタ (G) 6 9 0 6 及びカラーフィルタ (B) (図示せず) がカバー材 6 8 0 4 に形成されている点に特徴がある。本実施例の E L 素子の構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図 1 5 の構造とすればその光の経路にカラーフィルタを設置することができる。

【 0 2 1 3 】

本実施例のようにカラーフィルタ（R）6905、カラーフィルタ（G）6906及びカラーフィルタ（B）（図示せず）をカバー材6804に設けると、アクティブマトリクス基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【 0 2 1 4 】

（実施例11）

本発明のEL表示装置において、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【 0 2 1 5 】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【 0 2 1 6 】

（実施例12）

本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質はAlq₃（トリス-8-キノリライト-アルミニウム）、TPD（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、PPV（ポリフェニレンビレン）、PVK（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【 0 2 1 7 】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【 0 2 1 8 】

また本発明のEL表示装置が有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送

層とを無機材料、例えば非晶質のSiまたは非晶質の $Si_{1-x}C_x$ 等の非晶質半導体で構成しても良い。

【0219】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0220】

また有機EL層にドーパント（不純物）を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0221】

（実施例13）

本実施例では、本発明を用いて形成されたEL表示装置を表示媒体として組み込んだ電子機器について説明する。

【0222】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18に示す。

【0223】

図18（A）はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004等を含む。本発明のEL表示装置はパーソナルコンピュータの表示部2003に用いることができる。

【0224】

図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置はビデオカメラの表示部2102に用いることができる。

【0225】

図 1 8 (C) は頭部取り付け型の表示装置の一部 (右片側) であり、本体 2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示モニタ 2 3 0 4、光学系 2 3 0 5、表示部 2 3 0 6 等を含む。本発明の E L 表示装置は頭部取り付け型の表示装置の表示部 2 3 0 6 に用いることができる。

【 0 2 2 6 】

図 1 8 (D) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本体 2 4 0 1、記録媒体 (C D、L D または D V D 等) 2 4 0 2、操作スイッチ 2 4 0 3、表示部 (a) 2 4 0 4、表示部 (b) 2 4 0 5 等を含む。表示部 (a) は主として画像情報を表示し、表示部 (b) は主として文字情報を表示するが、本発明の E L 表示装置は記録媒体を備えた画像再生装置の表示部 (a)、(b) に用いることができる。なお、記録媒体を備えた画像再生装置としては、C D 再生装置、ゲーム機器などに本発明を用いることができる。

【 0 2 2 7 】

図 1 8 (E) は携帯型 (モバイル) コンピュータであり、本体 2 5 0 1、カメラ部 2 5 0 2、受像部 2 5 0 3、操作スイッチ 2 5 0 4、表示部 2 5 0 5 等を含む。本発明の E L 表示装置は携帯型 (モバイル) コンピュータの表示部に用いることができる。

【 0 2 2 8 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 1 2 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 2 9 】

【発明の効果】

アクティブマトリクス型 E L 表示装置において、従来の階調表示方式では、画素部の T F T の特性のバラツキや、使用する際の環境温度の変化により影響を受ける、E L 素子を流れる電流量のバラツキのため、輝度表示にバラツキが生じるという問題があった。

【 0 2 3 0 】

しかし、本発明は、上記構成によって、画素部 E L 素子に流れる電流を温度変

化に対して一定に保ち、輝度の表示のバラツキを抑えることができる。これにより、高画質な E L 表示装置を提供することができる。

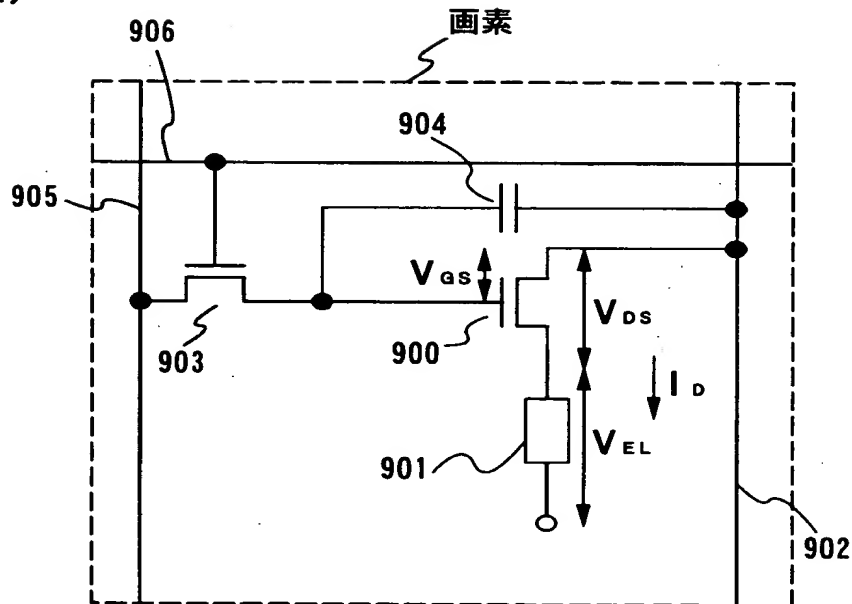
【図面の簡単な説明】

- 【図 1】 本発明の表示装置の駆動方法を示す図。
- 【図 2】 本発明の表示装置の画素部の構成を示す図。
- 【図 3】 E L 表示装置の画素部の構成を示す図。
- 【図 4】 従来の E L 表示装置の駆動方法を示すタイミングチャートを示す図。
- 【図 5】 従来の E L 表示装置の駆動方法を示すタイミングチャートを示す図。
- 【図 6】 本発明の E L 表示装置のソース信号線駆動回路の回路図。
- 【図 7】 本発明の E L 表示装置のラッチの上面図。
- 【図 8】 本発明の表示装置の作製工程を示す図。
- 【図 9】 本発明の表示装置の作製工程を示す図。
- 【図 1 0】 本発明の表示装置の作製工程を示す図。
- 【図 1 1】 本発明の E L 表示装置の上面図及び断面図。
- 【図 1 2】 本発明の E L 表示装置の上面図及び断面図。
- 【図 1 3】 本発明の E L 表示装置の画素部の断面図。
- 【図 1 4】 本発明の E L 表示装置の画素部の断面図。
- 【図 1 5】 本発明の E L 表示装置の上面図及び断面図。
- 【図 1 6】 本発明の E L 表示装置の断面図。
- 【図 1 7】 E L 素子の温度特性を示す図。
- 【図 1 8】 本発明の E L 表示装置を用いた電子機器の図。

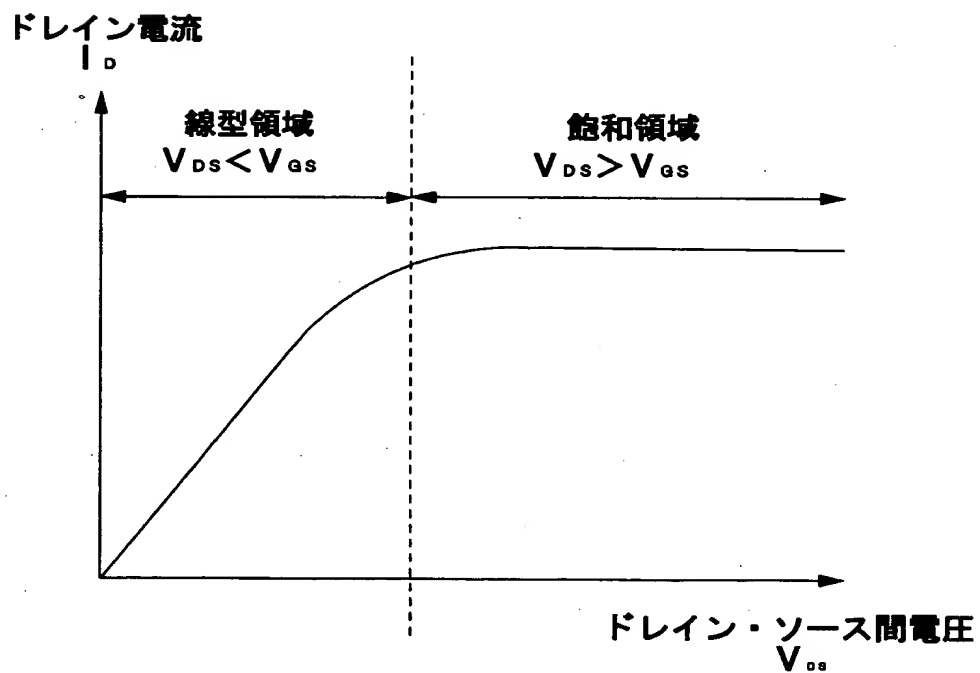
【書類名】 図面

【図 1】

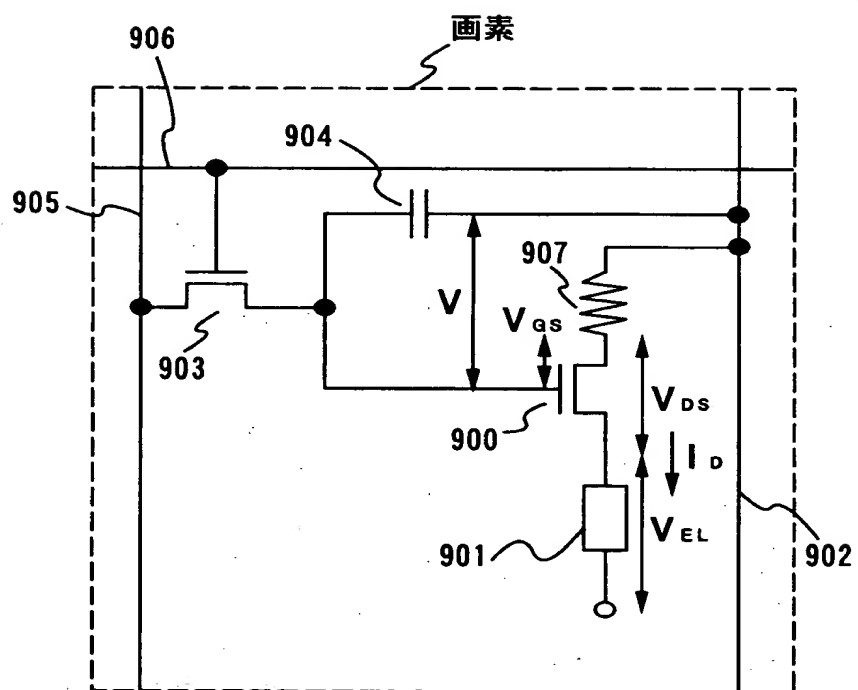
(A)



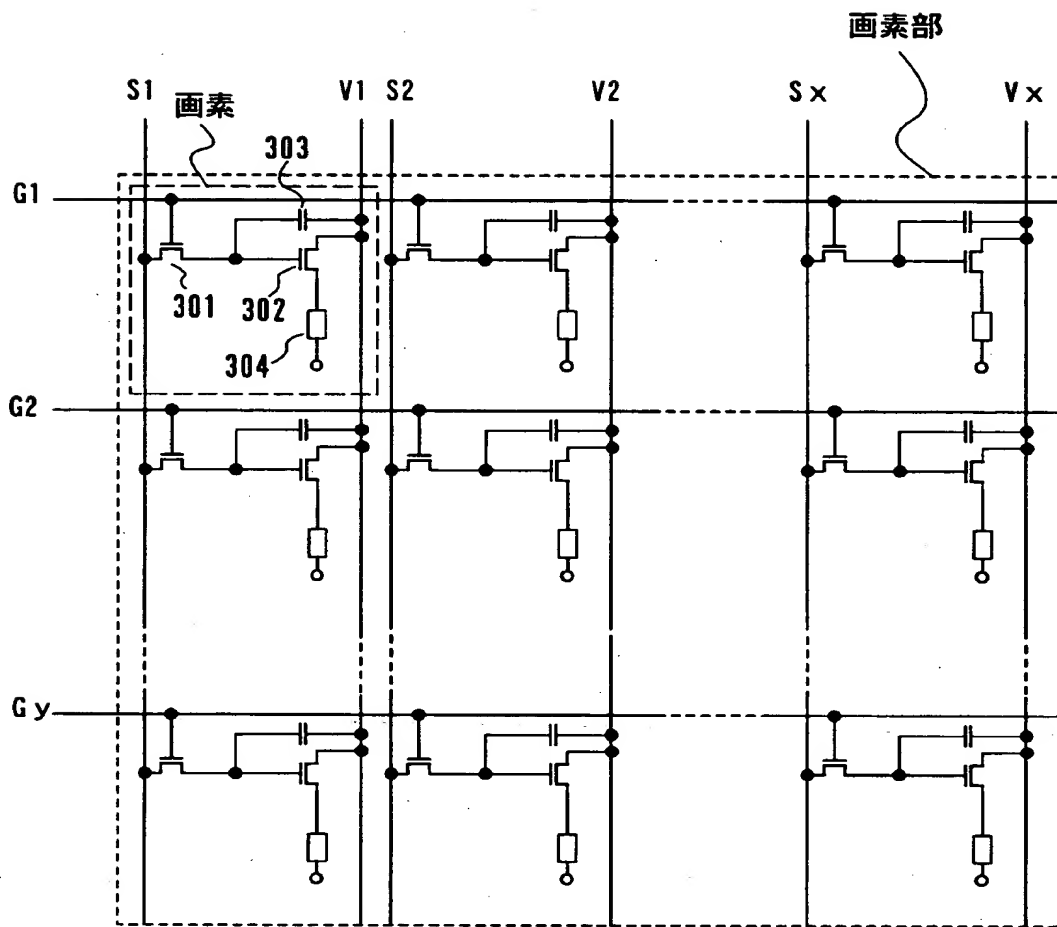
(B)



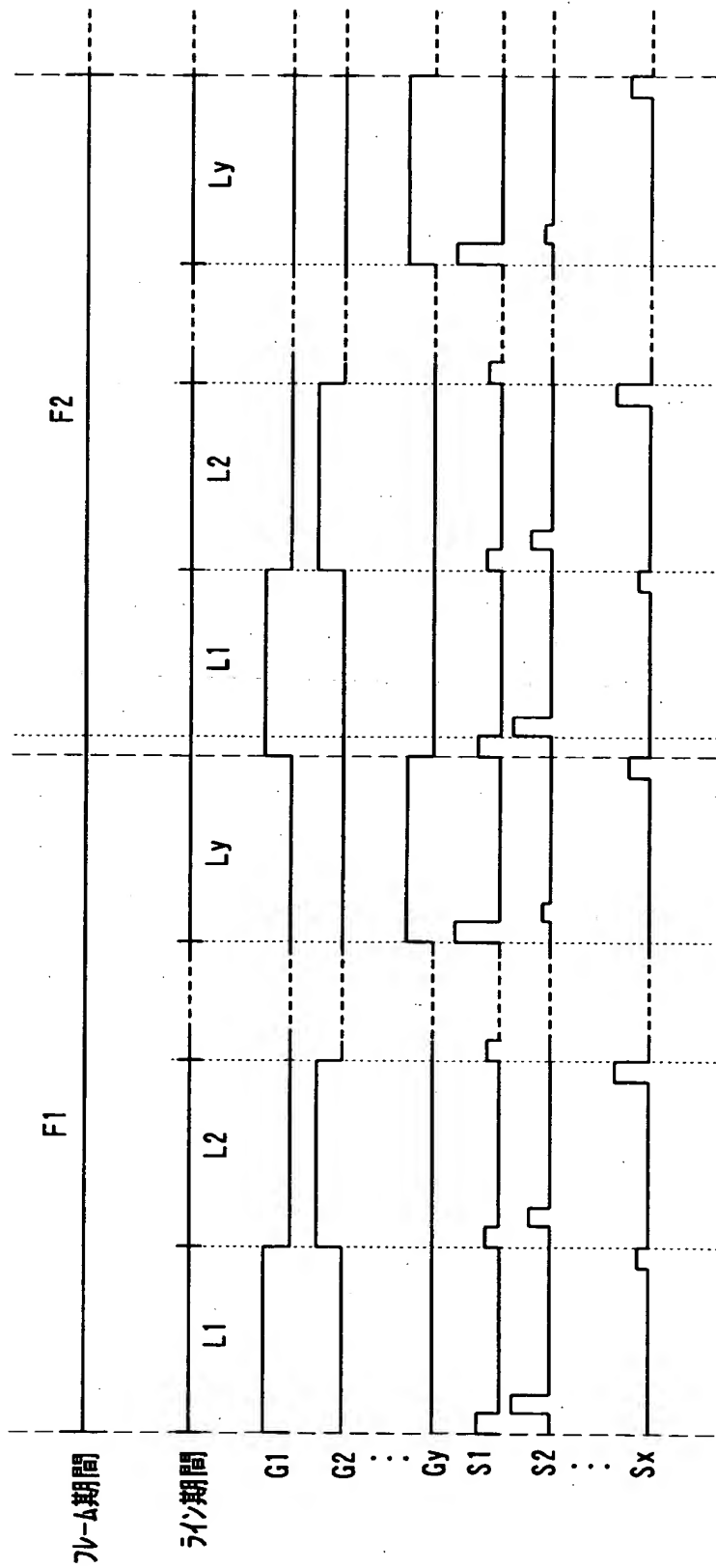
【図 2】



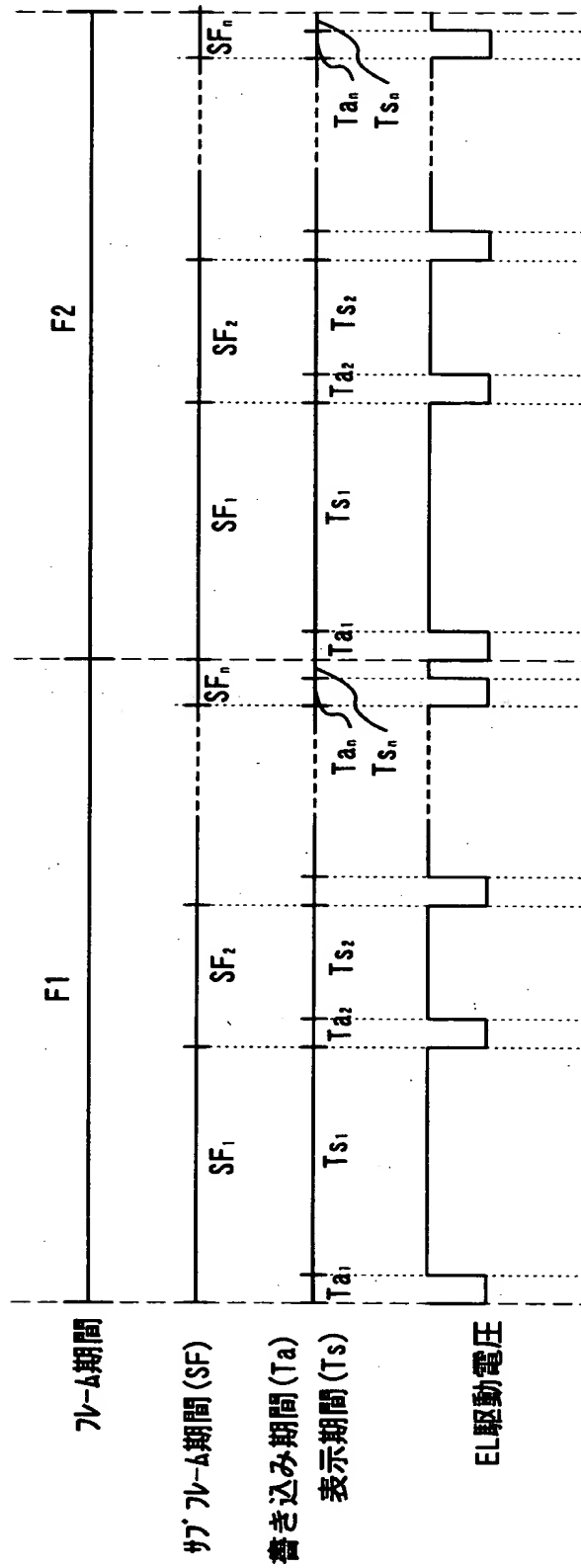
【図 3】



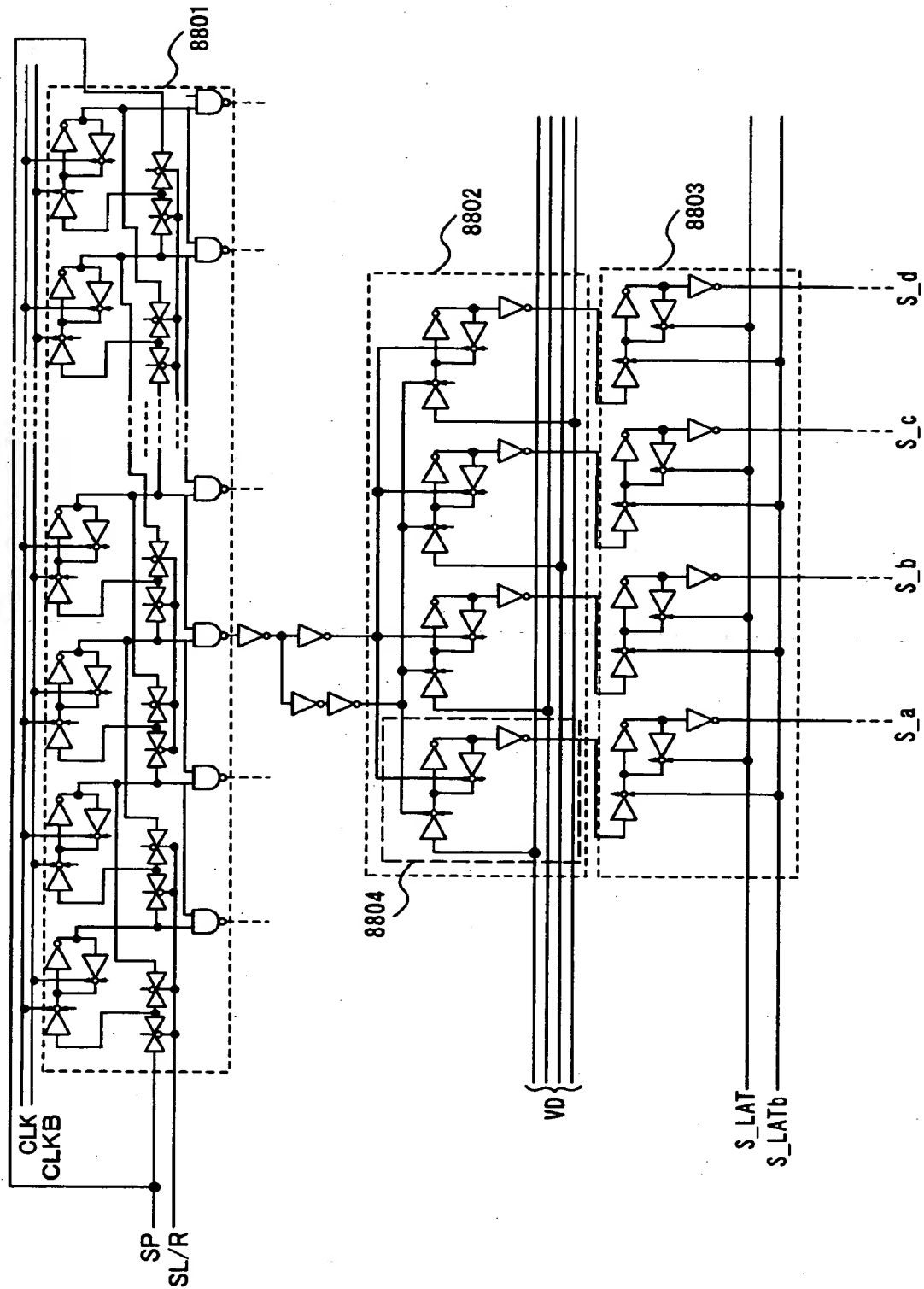
【図 4】



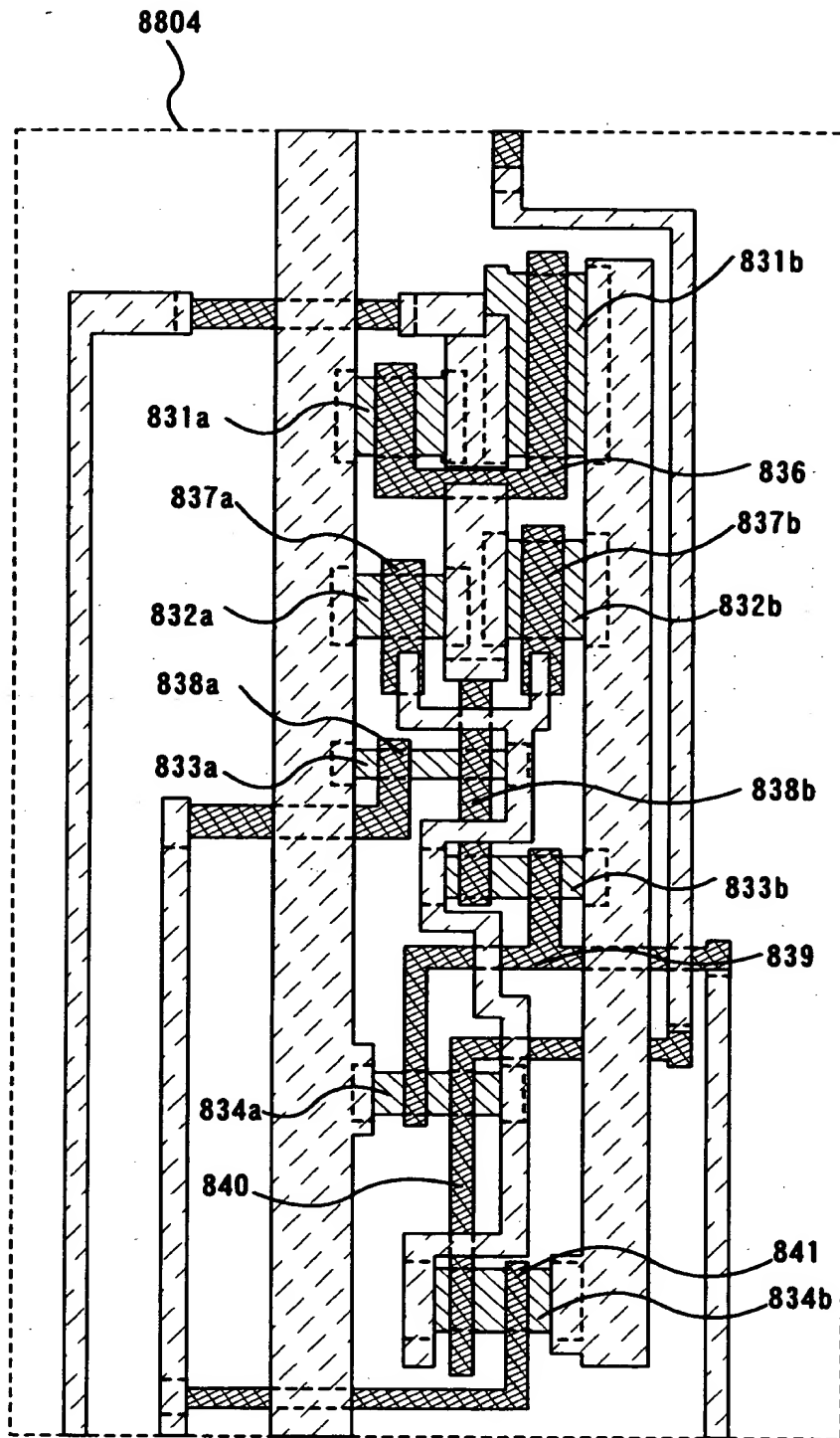
【図 5】



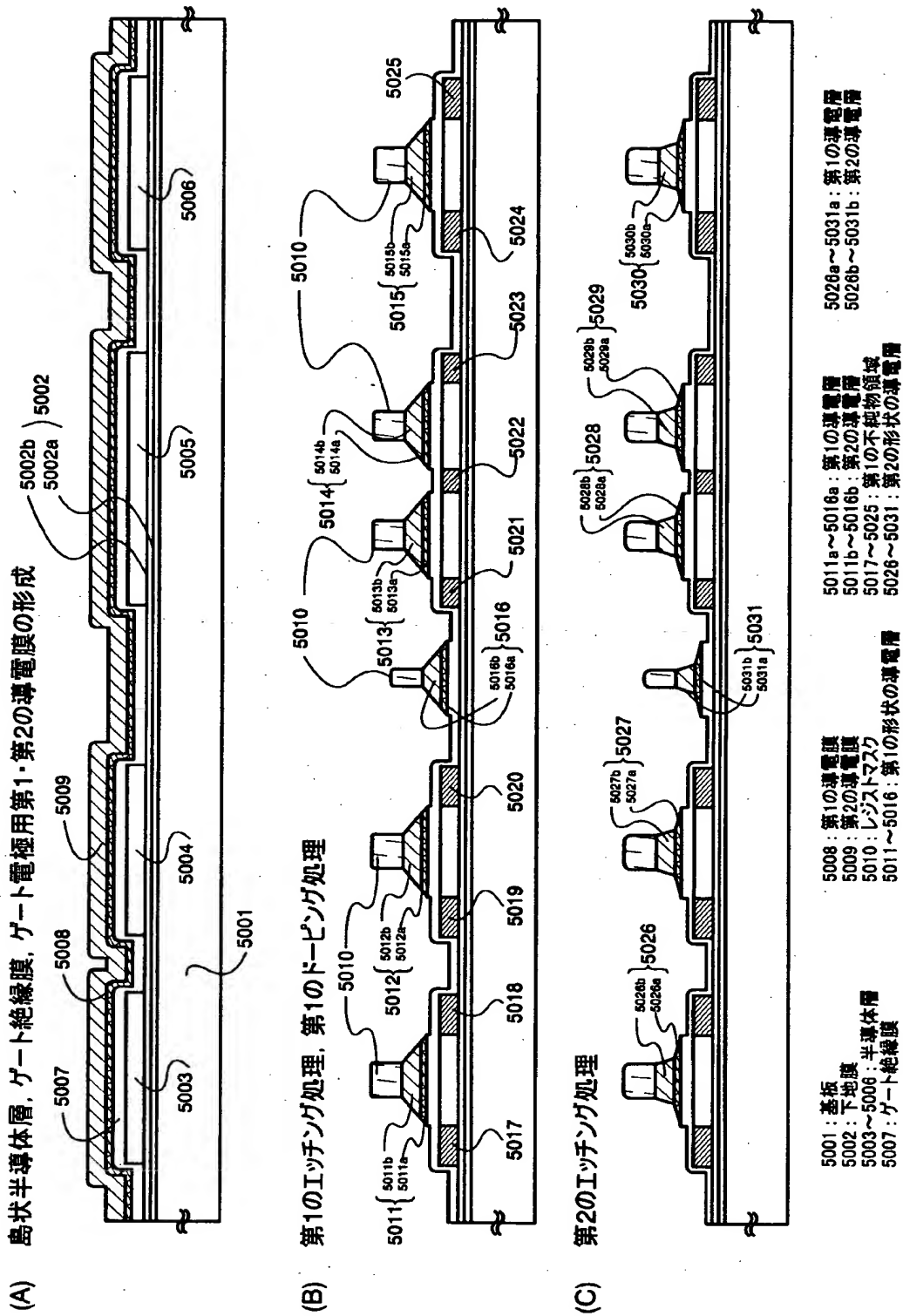
【図 6】



【図 7】

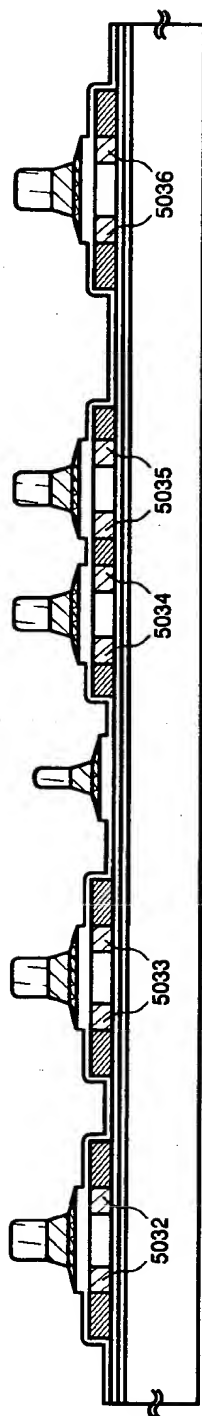


【図 8】

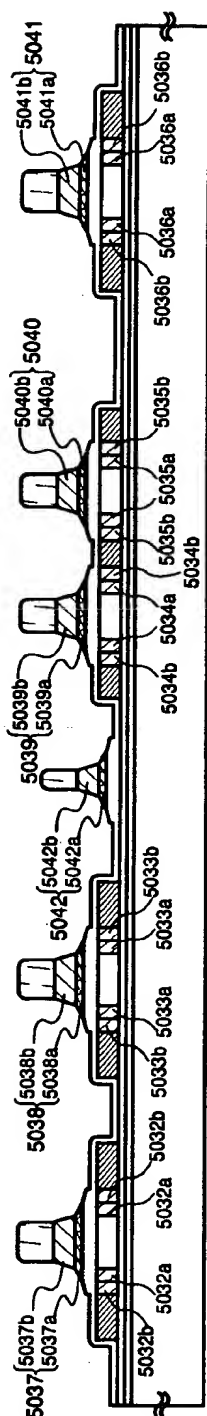


【図9】

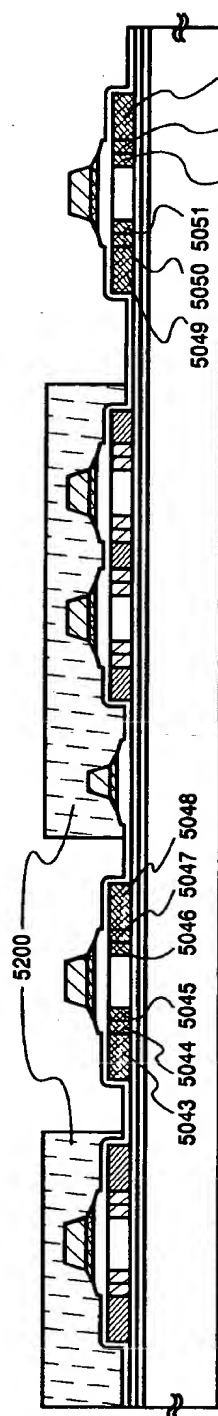
(A) 第2のドーピング処理



(B) 第3のイッチング処理



(C) 第3のドーピング処理

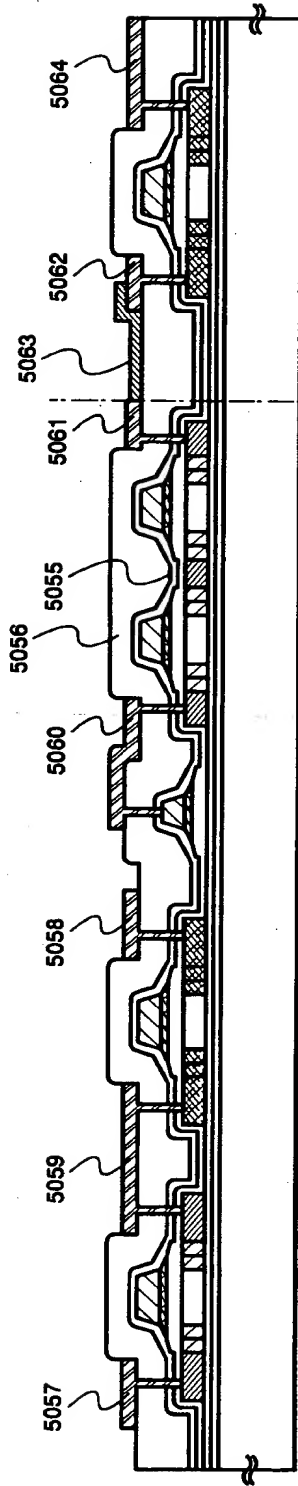


5032~5036 : 第3の不純物領域(イッチング前)
 5032a~5036a : 第3の不純物領域(イッチング後)
 5032b~5036b : 第2の不純物領域
 5043~5054 : 第4の不純物領域

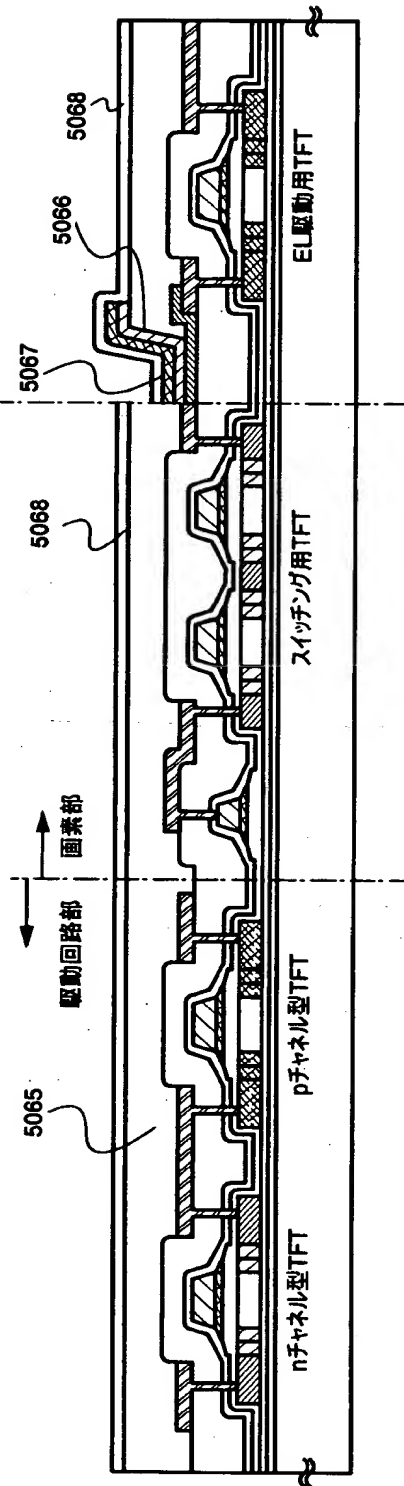
5200 : レジストマスク

【図10】

(A) 第1、第2の層間絶縁膜、配線、画素電極形成



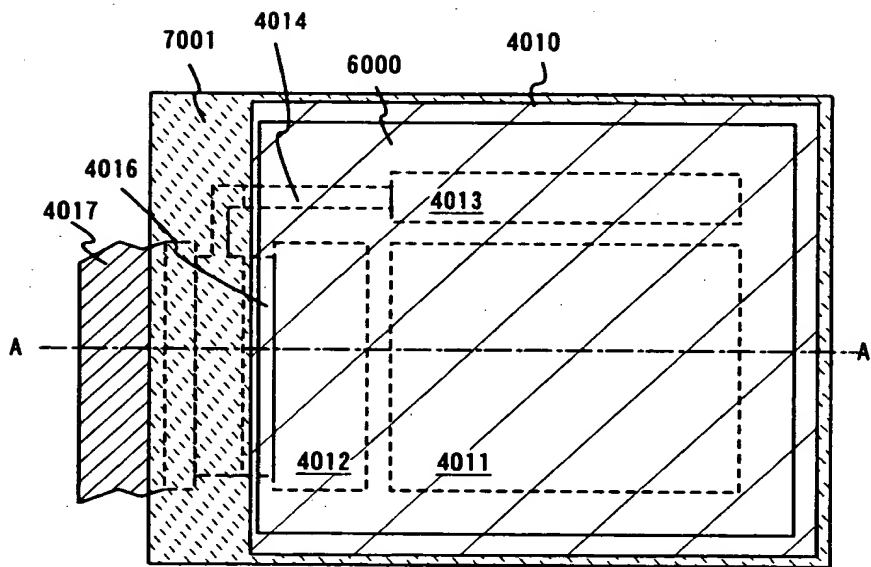
(B) 第3の層間絶縁膜、EL層、陰極電極、パッシベーション膜形成



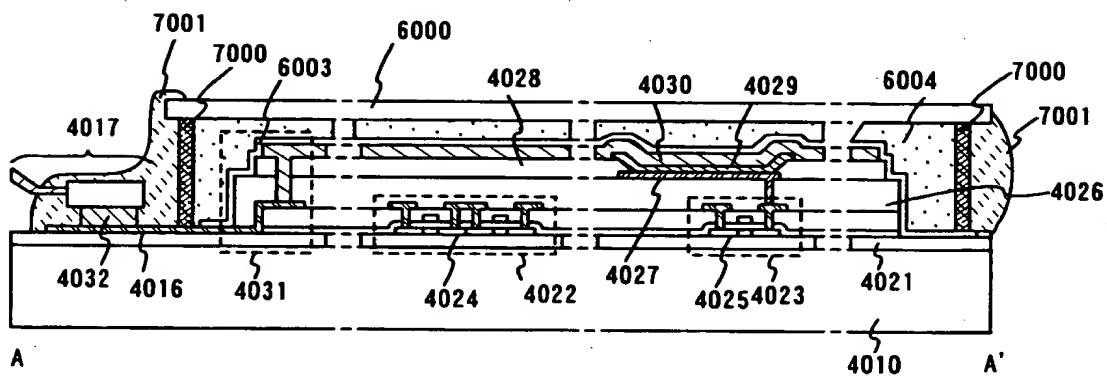
- | | | |
|------------------|-----------------|-----------------|
| 5055: 第1の層間絶縁膜 | 5060~5062: 接続配線 | 5086: EL層 |
| 5056: 第2の層間絶縁膜 | 5063: 画素電極 | 5067: 陰極 |
| 5057~5058: ソース配線 | 5064: 電源供給線 | 5088: パッシベーション膜 |
| 5059: ドレイン配線 | 5065: 第3の層間絶縁膜 | |

【図 1 1】

(A)

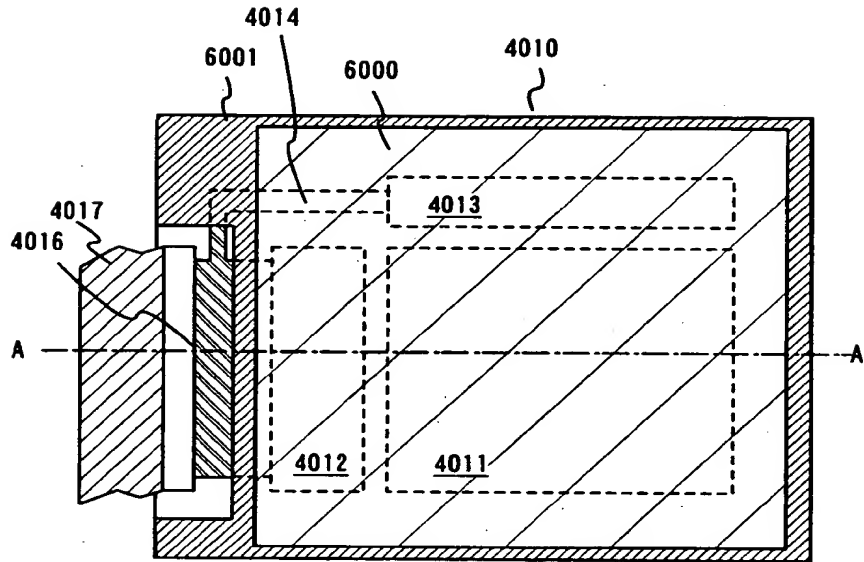


(B)

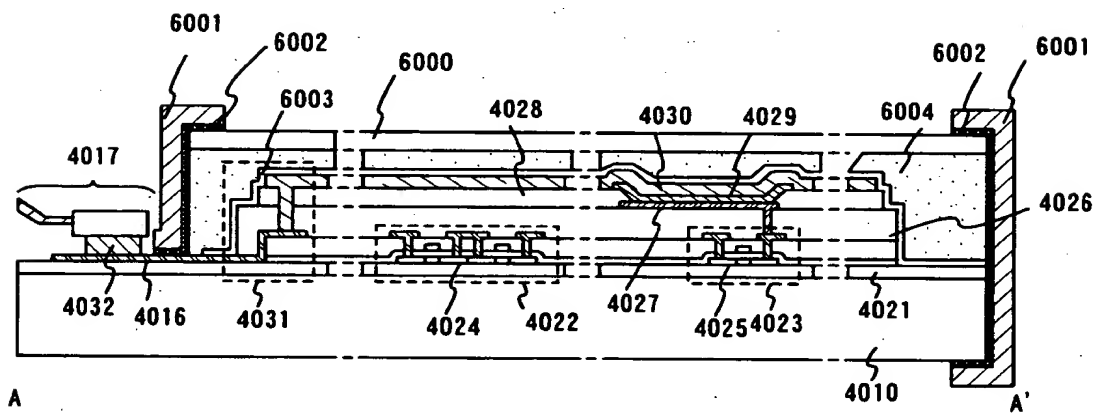


【図 1 2】

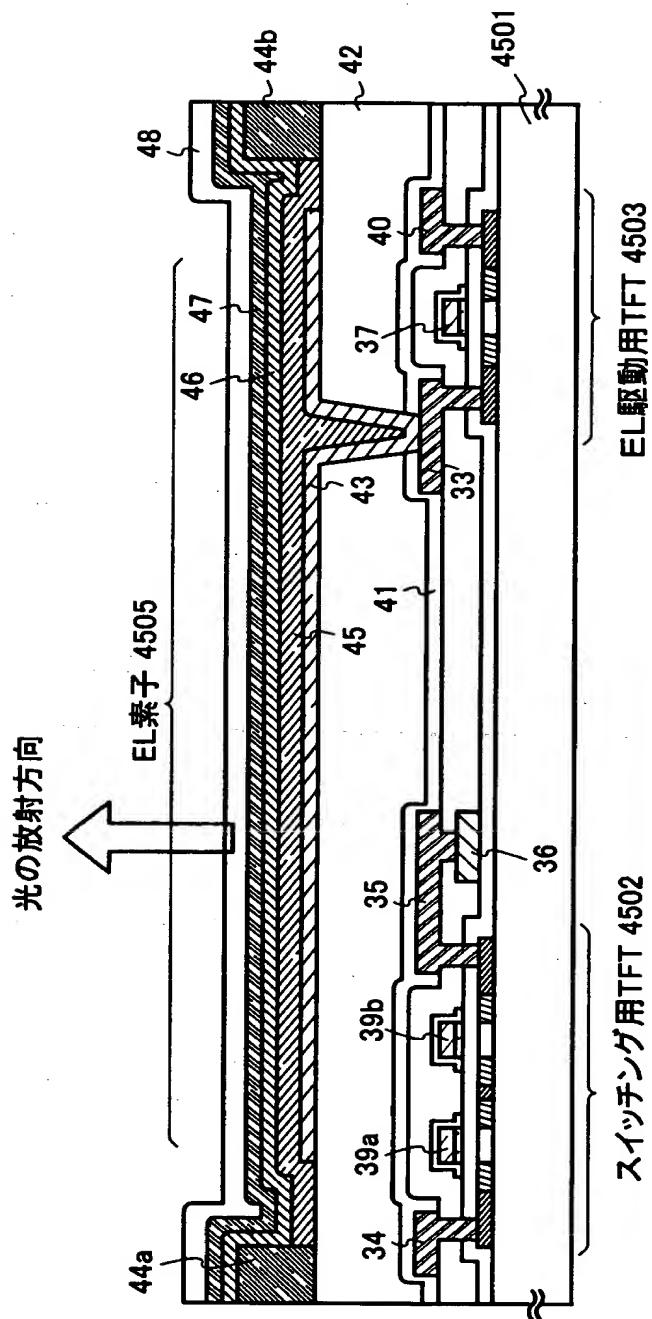
(A)



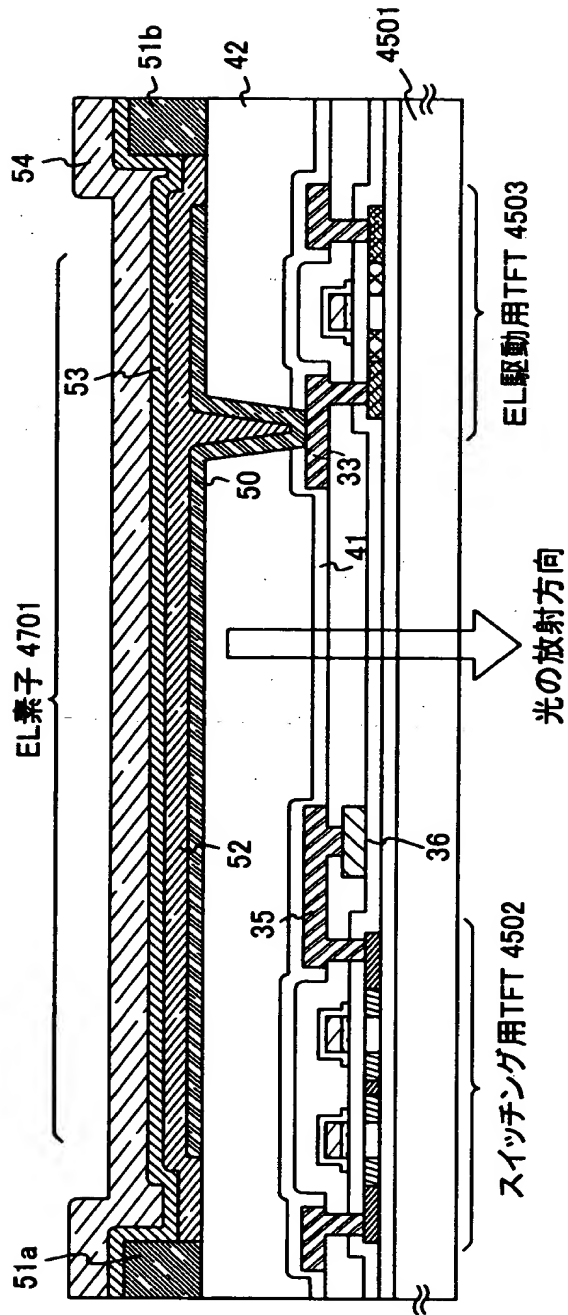
(B)



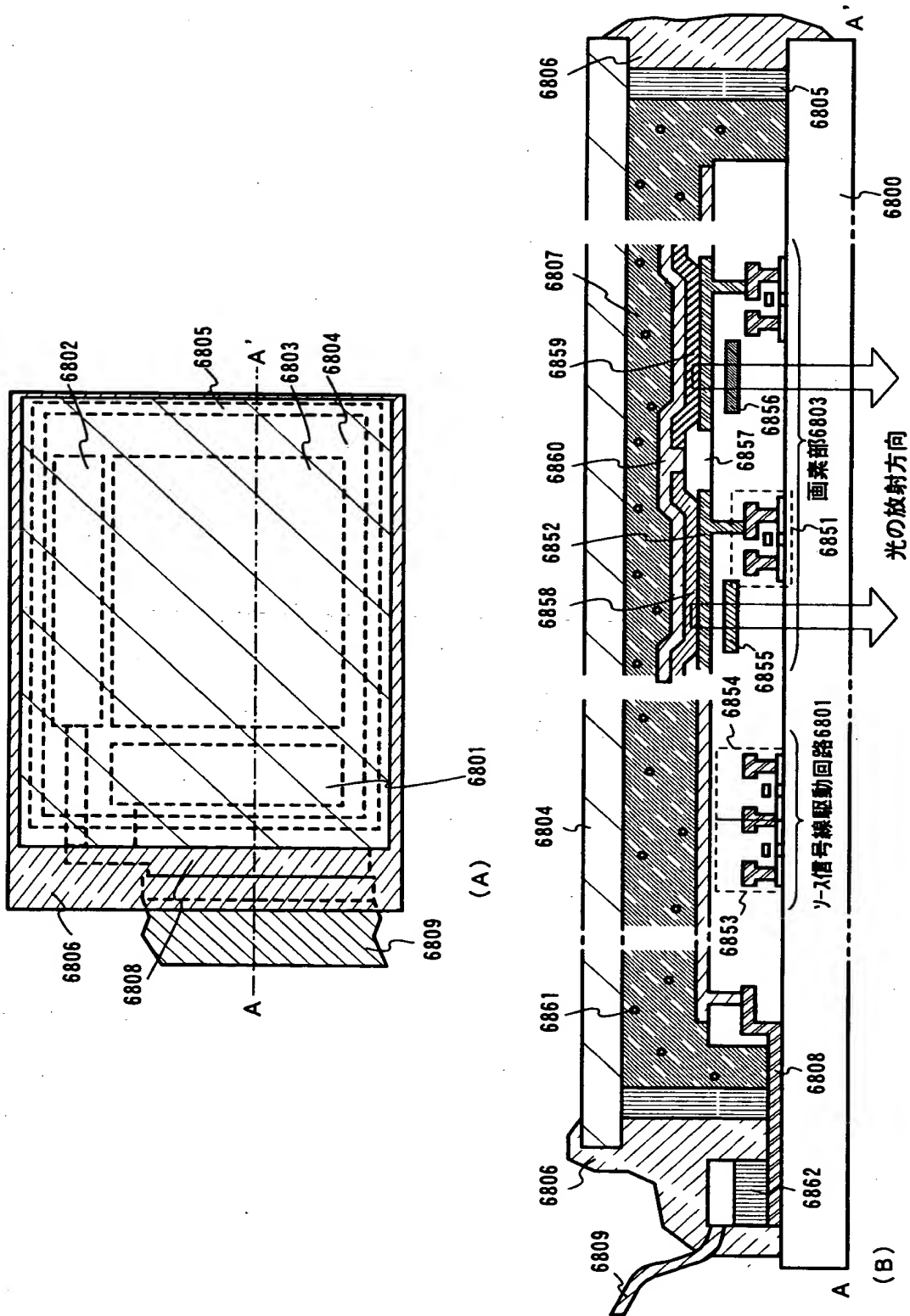
【図 13】



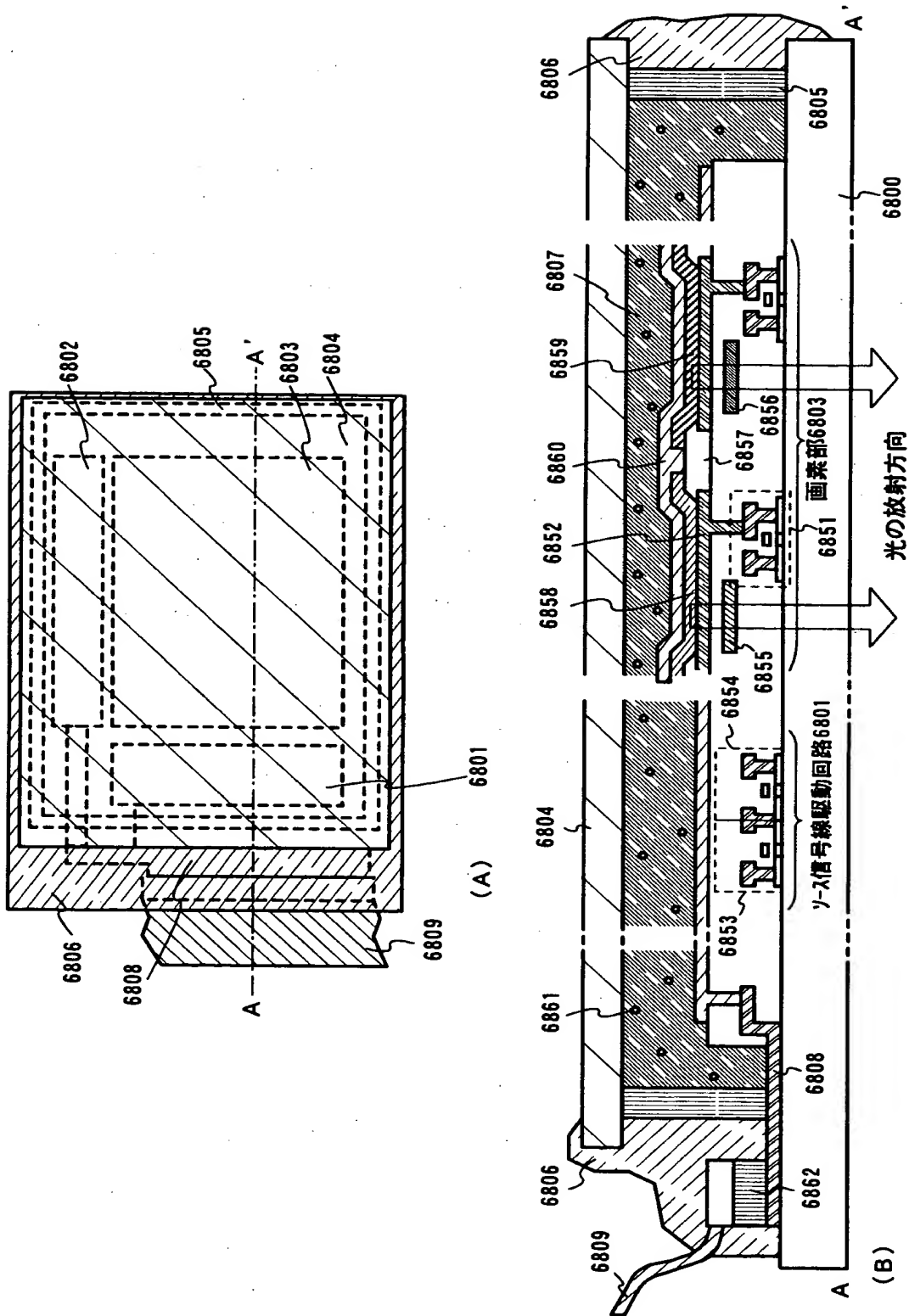
【図 14】



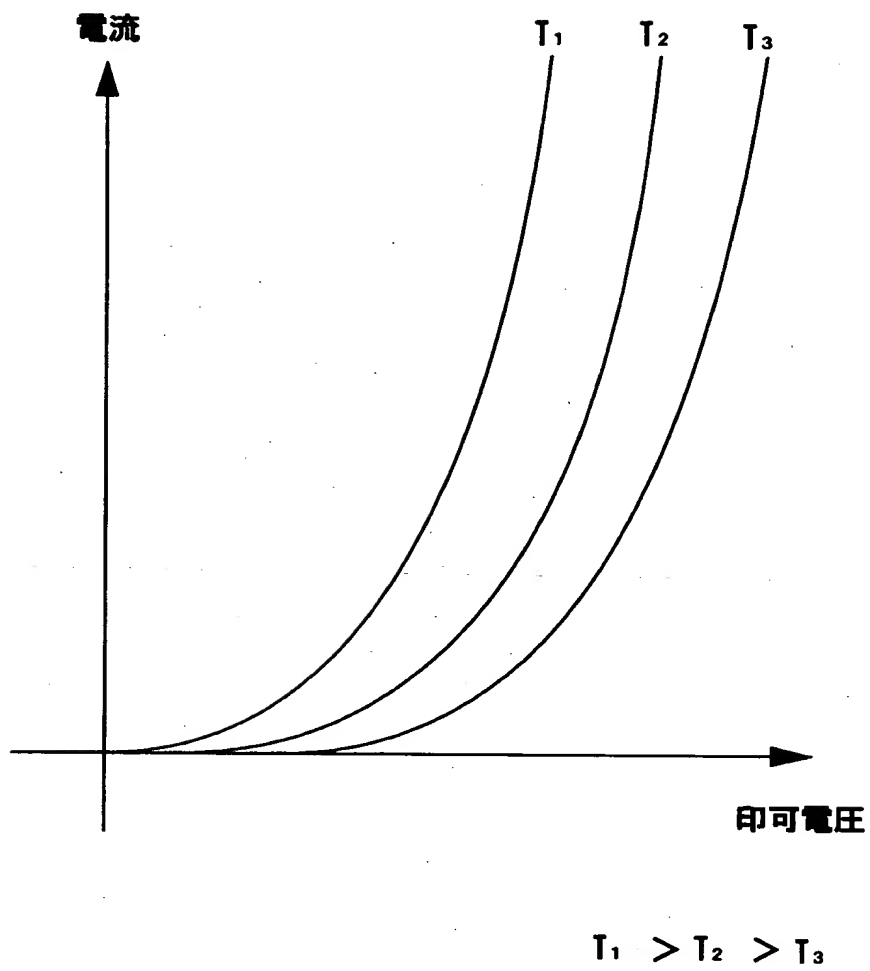
【図 15】



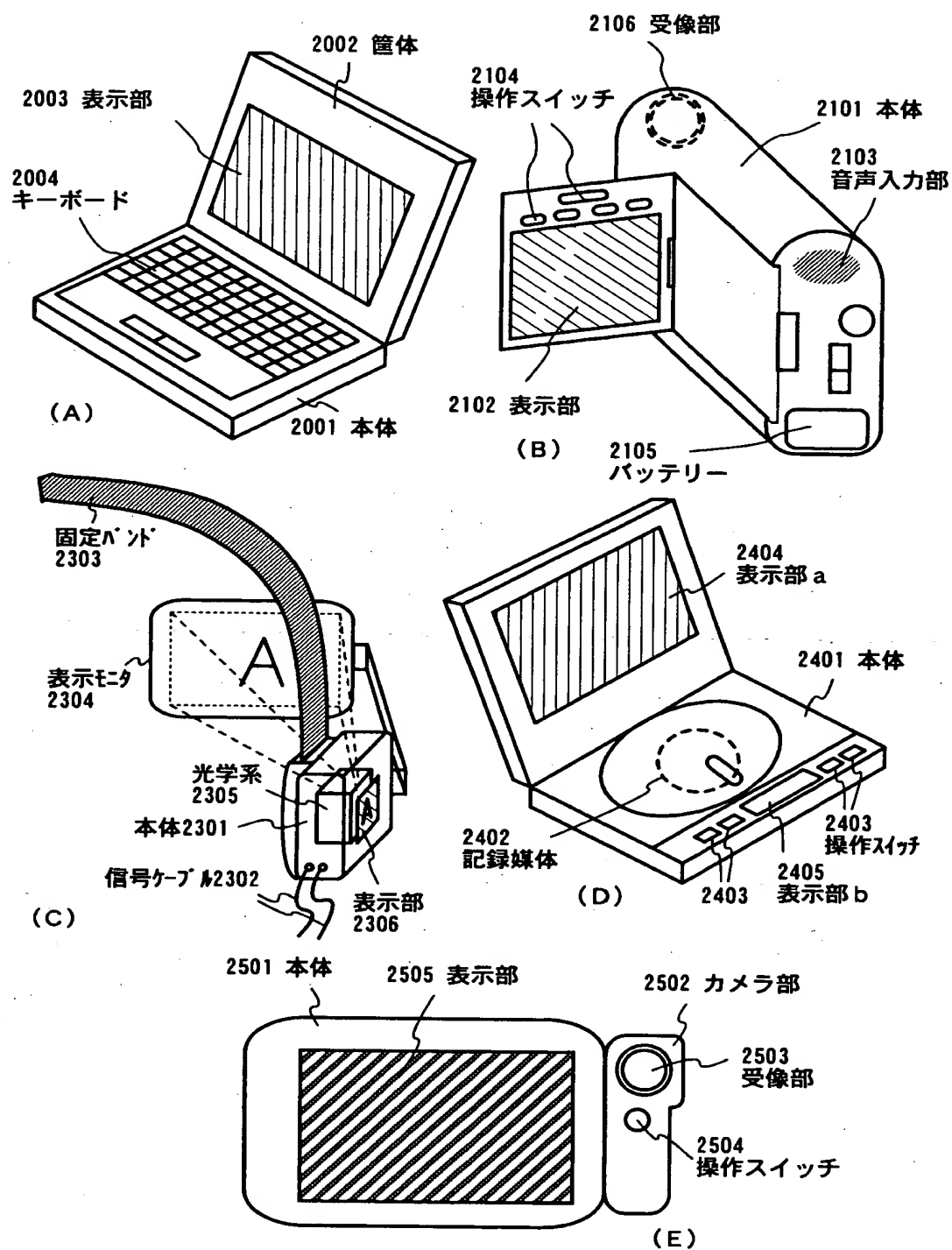
【図16】



【図 1 7】



【図 18】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型 E L 表示装置において、画素を構成する T F T の特性のバラつきや、表示装置を使用する環境温度の変化に対して、輝度表示のバラつきを抑えることを課題とする。

【解決手段】 時間階調方式を用いる。且つ E L 駆動用 T F T を、オン状態において飽和領域で動作させることにより、E L 駆動用 T F T のドレイン電流を一定に保つことができる。これにより、E L 素子に一定の電流を流すことができ、正確な階調表示の高画質なアクティブマトリクス型 E L 表示装置が提供される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所